

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年   7 月   8 日  
Date of Application:

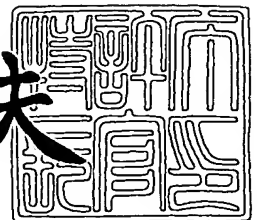
出 願 番 号                      特 願 2 0 0 3 - 1 9 3 2 6 1  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 1 9 3 2 6 1 ]

出      願      人                      沖電気工業株式会社  
Applicant(s):

2 0 0 3 年 1 0 月   7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号   出証特 2 0 0 3 - 3 0 8 2 7 7 7

【書類名】 特許願

【整理番号】 OH003846

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/12

【発明者】

    【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会  
社内

    【氏名】 照井 誠

【特許出願人】

    【識別番号】 000000295

    【氏名又は名称】 沖電気工業株式会社

【代理人】

    【識別番号】 100085419

    【弁理士】

    【氏名又は名称】 大垣 孝

【手数料の表示】

    【予納台帳番号】 012715

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9001068

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 回路素子が形成されていて、該回路素子が接続されている複数の回路素子接続用パッドが設けられている第 1 領域、及び該第 1 領域の周辺を囲む第 2 領域を有する半導体基板と、

前記第 1 領域に配置されていて、接地されるべき端子及び電源に接続されるべき端子からなる複数の第 1 サブ外部端子、及び前記第 1 領域に配置されている複数の第 2 サブ外部端子を含む第 1 外部端子と、

前記第 2 領域に配置されている複数の第 2 外部端子と、

前記第 1 領域に設けられていて、前記複数の第 1 サブ外部端子と前記複数の回路素子接続用パッドとを電氣的に接続する第 1 サブ配線構造、及び前記第 1 領域に設けられていて、前記複数の第 2 サブ外部端子と前記複数の回路素子接続用パッドとを電氣的に接続する第 2 サブ配線構造を含む第 1 配線構造と、

前記第 1 領域から前記第 2 領域に渡って設けられていて、前記複数の第 2 外部端子と前記複数の回路素子接続用パッドとを電氣的に接続する、複数の第 2 配線構造と

を具えていることを特徴とする半導体装置。

【請求項 2】 前記第 1 サブ配線構造は、延在方向に対して垂直方向に切断した切断面の面積が、前記第 1 配線構造及び第 2 配線構造それぞれの延在方向に対して垂直方向に切断した切断面の面積よりも大きな面積とされていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 回路素子が形成されていて、該回路素子が接続されている複数の回路素子接続用パッドが設けられている第 1 領域、及び該第 1 領域の周辺を囲む第 2 領域を有する半導体基板と、

前記第 2 領域に設けられている金属層と、

前記回路素子接続用パッドの一部分及び前記金属層の一部分を露出させて設けられている絶縁膜と、

前記絶縁膜上の前記第 1 領域に設けられていて、前記複数の回路素子接続用パ

ッドと電氣的に接続される、複数の第 1 配線構造と、

前記絶縁膜上の前記第 1 領域から前記第 2 領域に渡って設けられていて、前記複数の回路素子接続用パッドと電氣的に接続される、複数の第 2 配線構造と、

前記第 2 領域の前記絶縁膜上で、露出している前記金属層と電氣的に接続される、複数の第 3 配線構造と、

前記第 1 配線構造の一部分を露出し、かつ前記第 2 領域で、前記第 2 配線構造及び前記第 3 配線構造の一部分を露出して設けられている封止部と、

前記第 1 領域に配置されていて、前記第 1 配線構造と接続される複数の第 1 外部端子と、

前記第 2 領域上に配置されていて、前記第 2 配線構造及び前記第 3 配線構造のいずれか又は両方と接続される複数の第 2 外部端子と  
を具備していることを特徴とする半導体装置。

【請求項 4】 前記第 3 配線構造は、延在方向に対して垂直方向に切断した切断面の面積が、前記第 1 配線構造及び第 2 配線構造それぞれの延在方向に対して垂直方向に切断した切断面の面積よりも大きな面積とされていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 回路素子が形成されていて、該回路素子が接続されている複数の回路素子接続用パッドが設けられている第 1 領域、及び該第 1 領域の周辺を囲む第 2 領域を有する半導体基板と、

前記第 2 領域に設けられている金属層と、

前記回路素子接続用パッドの一部分及び前記金属層の一部分を露出させて設けられている絶縁膜と、

前記第 1 領域の前記絶縁膜上に設けられていて、前記複数の回路素子接続用パッドと電氣的に接続される、第 1 サブ配線構造、及び前記第 1 領域の前記絶縁膜上に設けられていて、前記複数の回路素子接続用パッドと電氣的に接続される、第 2 サブ配線構造を含む第 1 配線構造と、

前記第 1 領域から前記第 2 領域の絶縁膜上に渡って設けられていて、前記回路素子接続用パッドと電氣的に接続される、複数の第 2 配線構造と、

前記第 2 領域の前記絶縁膜上で、露出している前記金属層と電氣的に接続され

る、複数の第3配線構造と、

前記第1サブ配線構造及び前記第2サブ配線構造の一部分を露出し、かつ前記第2領域で、前記第2配線構造及び前記第3配線構造の一部分を露出して設けられている封止部と、

前記第1領域上に配置されていて、電源に接続されるべき端子からなる複数の第1サブ外部端子、及び前記第1領域に配置されている複数の第2サブ外部端子を含む第1外部端子と、

前記第2領域に配置されていて、前記第2配線構造及び前記第3配線構造のいずれか又は両方に接続されている複数の第2外部端子とを具えていることを特徴とする半導体装置。

【請求項6】 請求項5に記載の半導体装置において、前記第3配線構造及び前記第1サブ配線構造は、延在方向に対して垂直方向に切断した切断面の面積が、前記第1配線構造及び第2配線構造それぞれの延在方向に対して垂直方向に切断した切断面の面積よりも大きな面積とされていることを特徴とする半導体装置。

【請求項7】 請求項3～6のいずれか一項に記載の半導体装置において、前記金属層は、第1サブ配線構造、第2サブ配線構造、第1配線構造、第2配線構造及び第3配線構造のいずれかと同一の材料により形成されていることを特徴とする半導体装置。

【請求項8】 請求項1又は2に記載の半導体装置において、前記複数の第1サブ配線構造及び第2サブ配線構造を含む第1配線構造の各々は、回路素子接続用パッドのいずれかに電氣的に接続される第1再配線層と、該第1再配線層と前記複数の第1サブ外部端子及び第2サブ外部端子を含む第1外部端子のいずれかとを電氣的に接続する第1ポスト部とを具え、

前記複数の第2配線構造の各々は、前記第1領域から前記第2領域に渡って設けられるとともに前記回路素子接続用パッドのいずれかに電氣的に接続される第2再配線層と、前記第2再配線層と前記複数の第2外部端子のいずれかとを電氣的に接続する第2ポスト部を具えていることを特徴とする半導体装置。

【請求項9】 請求項3又は4に記載の半導体装置において、

前記複数の第 1 配線構造の各々は、回路素子接続用パッドのいずれかに電氣的に接続される第 1 再配線層と、該第 1 再配線層と前記複数の第 1 外部端子のいずれかとを電氣的に接続する第 1 ポスト部とを具え、

前記複数の第 2 配線構造の各々は、前記第 1 領域から前記第 2 領域に渡って設けられるとともに前記回路素子接続用パッドのいずれかに電氣的に接続される第 2 再配線層と、前記第 2 領域上に形成される前記第 3 配線構造と接続される第 3 再配線層と、前記第 2 再配線層及び前記第 3 再配線層のいずれか又は両方と前記複数の第 2 外部端子のいずれかとを電氣的に接続する第 2 ポスト部とを具えていることを特徴とする半導体装置。

【請求項 1 0】 請求項 5 又は 6 に記載の半導体装置において、

前記複数の第 1 サブ配線構造及び第 2 サブ配線構造を含む第 1 配線構造の各々は、回路素子接続用パッドのいずれかに電氣的に接続される第 1 再配線層と、該第 1 再配線層と前記複数の第 1 サブ外部端子及び第 2 サブ外部端子を含む第 1 外部端子のいずれかとを電氣的に接続する第 1 ポスト部とを具え、

前記複数の第 2 配線構造の各々は、前記第 1 領域から前記第 2 領域に渡って形成されるときとも前記回路素子接続用パッドのいずれかに電氣的に接続される第 2 再配線層と、前記第 2 領域上に形成される前記第 3 配線構造と接続される第 3 再配線層と、前記第 2 再配線層及び前記第 3 再配線層のいずれか又は両方と前記複数の第 2 外部端子のいずれかとを電氣的に接続する第 2 ポスト部を具えていることを特徴とする半導体装置。

【請求項 1 1】 (a) 半導体基板に、複数の回路素子形成領域を設定する工程と、

(b) 前記回路素子形成領域に、回路素子及び該回路素子に接続される複数の回路素子接続用パッドを形成する工程と、

(c) 前記回路素子及び前記複数の回路素子接続用パッドが設けられている第 1 領域と、該第 1 領域の周辺を囲む第 2 領域とを設定する工程と、

(d)、前記回路素子接続用パッドの一部分を露出させる絶縁膜を形成する工程と、

(e) 前記第 1 領域の前記絶縁膜上に、前記複数の回路素子接続用パッドのう

ちの接地されるべき回路素子接続用パッド及び電源に接続されるべき回路素子接続用パッドに電氣的に接続される、複数の第1サブ配線構造を形成する工程と、

(f) 前記第1領域の前記絶縁膜上に、前記複数の回路素子接続用パッドに電氣的に接続される、複数の第2サブ配線構造を形成する工程と、

(g) 前記絶縁膜上に、前記複数の回路素子接続用パッドに電氣的に接続される、複数の第2配線構造を、前記第1領域から前記第2領域に渡って形成する工程と、

(h) 前記絶縁膜上に、前記第1サブ配線構造、第2サブ配線構造及び前記第2配線構造の一部分を露出させる封止部を、形成する工程と、

(i) 前記第1領域に、前記複数の第1サブ配線構造と電氣的に接続される複数の第1サブ外部端子及び第2サブ配線構造と電氣的に接続される複数の第2サブ外部端子を形成する工程と、

(j) 前記第2領域に、前記複数の第2配線構造と電氣的に接続される、複数の第2外部端子を形成する工程と、

(k) 隣接する回路素子形成領域同士の間スクライブラインを研削して個片化する工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項12】 (a) 半導体基板に、複数の回路素子形成領域を設定する工程と、

(b) 前記回路素子形成領域に、回路素子及び該回路素子に接続される複数の回路素子接続用パッドを形成する工程と、

(c) 前記回路素子及び前記複数の回路素子接続用パッドが設けられている第1領域と、該第1領域の周辺を囲む第2領域とを設定する工程と、

(d) 前記第2領域に、金属層を、形成する工程と、

(e) 前記回路素子接続用パッドの一部分及び前記金属層の一部分を露出させる絶縁膜を、形成する工程と、

(f) 前記絶縁膜上に、前記複数の回路素子接続用パッドに電氣的に接続される、複数の第1配線構造を形成する工程と、

(g) 前記複数の回路素子接続用パッドに電氣的に接続される、複数の第2配

線構造を、前記第 1 領域から前記第 2 領域に渡って形成する工程と、

(h) 前記第 2 領域の前記絶縁膜上で、露出された前記金属層の一部分と電氣的に接続される複数の第 3 配線構造を、形成する工程と、

(i) 前記絶縁膜上に、前記第 1 配線構造、前記第 2 配線構造及び前記第 3 配線構造の一部分を露出させる封止部を、形成する工程と、

(j) 前記第 1 領域に、前記複数の第 1 配線構造と電氣的に接続される、複数の第 1 外部端子を形成する工程と、

(k) 前記第 2 領域に、前記複数の第 2 配線構造及び前記複数の第 3 配線構造のいずれか又は両方と電氣的に接続される、複数の第 2 外部端子を形成する工程と、

(l) 隣接する素子形成領域同士の間のスクライブラインを研削して個片化する工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 1 3】 (a) 半導体基板に、複数の回路素子形成領域を設定する工程と、

(b) 前記回路素子形成領域に、回路素子及び該回路素子に接続される複数の回路素子接続用パッドを形成する工程と、

(c) 前記回路素子及び前記複数の回路素子接続用パッドが設けられている第 1 領域と、該第 1 領域の周辺を囲む第 2 領域とを設定する工程と、

(d) 前記回路素子接続用パッドの一部分及び前記金属層の一部分を露出させる絶縁膜を、形成する工程と、

(e) 前記絶縁膜上に、前記複数の回路素子接続用パッドに電氣的に接続される、複数の第 1 配線構造を形成する工程と、

(f) 前記複数の回路素子接続用パッドに電氣的に接続される、複数の第 2 配線構造を、前記第 1 領域から前記第 2 領域に渡って形成する工程と、

(g) 前記第 2 領域の前記絶縁膜上で、露出された前記金属層の一部分と電氣的に接続される複数の第 3 配線構造を、形成する工程と、

(h) 前記絶縁膜上に、前記第 1 配線構造、前記第 2 配線構造及び前記第 3 配線構造の一部分を露出させる封止部を、形成する工程と、



(i) 前記第1領域に、前記複数の第1配線構造と電氣的に接続される、複数の第1外部端子を形成する工程と、

(j) 前記第2領域に、前記複数の第2配線構造及び前記複数の第3配線構造のいずれか又は両方と電氣的に接続される、複数の第2外部端子を形成する工程と、

(k) 隣接する素子形成領域同士の間スクライブラインを研削して個片化する工程と

を含むことを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

この発明は、WCSP (Wafer Level Chip Size Package) 構造を有する半導体装置、及びその製造方法に関する。

##### 【0002】

#### 【従来の技術】

半導体ウェハから切り出された半導体チップと同等のサイズのパッケージは、一般に、CSP (Chip Size Package) と呼ばれている。また、半導体ウェハに形成されている半導体チップに対して、半導体ウェハ状態のままパッケージングを行った後、得られるCSPはWCSPと呼ばれている。

##### 【0003】

下記に示す特許文献1には、CSPにおいて、IC回路上に形成されている配線層やメタルポストから発生する歪み、半田から加わる熱や応力により生じるIC回路の特性変化を防止するための構成を具えた半導体装置が開示されている。

##### 【0004】

この半導体装置は、金属材料からなるパッドに接続され、チップ表面に延在するCuを主材料とする配線層を具えている。この配線層の一領域にはメタルポストが形成されている。配線層を含むチップ表面を被覆する絶縁樹脂層が、このメタルポストの表面を露出させて設けられている。

##### 【0005】

メタルポストは、電極パッド群と、これら電極パッド群に囲まれた領域の外側に位置している。メタルポストには、半田バンプ又はハンダボールが固着されている。半田バンプ又はハンダボールは、チップの周囲に形成されている。

#### 【0006】

##### 【特許文献1】

特開 2 0 0 0 - 2 9 9 4 0 6 号公報（特許請求の範囲及び第1図）

#### 【0007】

##### 【発明が解決しようとする課題】

半導体装置の実装面に設けられている外部端子の個数、すなわちピン数は、実装面サイズ及び外部端子のピッチ（隣接する2つの端子間の距離）によって決定される。実装面サイズが増加するか、もしくは外部端子のピッチが小さくなるほど、実装面のピン数は多くなる。このように、実装面のピン数を多くすることを多ピン化と称する。

#### 【0008】

一般に、外部端子のピッチは、半導体装置を使用するユーザ側で指定されるのが一般的である。従って、半導体装置において、実装面サイズをある一定のサイズとしたまま、外部端子のピッチを小さくして多ピン化させ、このように多ピン化された半導体装置をユーザへ提供しても、ユーザ側では提供された半導体装置を使用できないような事態が生じる恐れがある。また、実装面サイズをある一定のサイズとしたまま、外部端子のピッチを小さくしても、多ピン化の際に実現できるピン数は制限されてしまう。

#### 【0009】

一方、外部端子のピッチをある一定値に固定したまま、多ピン化を実現するためには、実装面サイズを増加させることが考えられる。ここで、WCSP構造を有する半導体装置では、半導体チップの表面のサイズと、実装面のサイズとは等しくなる。従って、WCSP構造を有する半導体装置において、実装面サイズを増加させる場合には、半導体チップの表面サイズを増加させることとなる。

#### 【0010】

半導体チップは、回路素子を具えている。周知の通り、この回路素子は、設計

に応じた任意好適な電氣的動作を行わせるために、例えば集積回路として設けられている。半導体チップの表面サイズを増加させるには、この半導体チップに形成されている回路素子の設計を変更することが考えられる。しかし、回路素子の設計を変更すると、半導体チップの製造コストは高くなってしまう。

#### 【0 0 1 1】

また、回路素子の設計を変更せずに、半導体チップの表面サイズを増加させる場合には、この半導体チップは、目的とする実装面サイズを有するWCSP構造のパッケージングにのみ用いられることとなり、当該半導体チップに対して、前述したWCSP構造以外のパッケージング構造を適用することが出来なくなってしまう。また、この場合も、半導体チップの製造コストが高くなるという事態を回避することはできない。

#### 【0 0 1 2】

よって、外部端子のピッチをある一定値に固定したまま、実装面サイズを増加させて、多ピン化の実現を図るためには、WCSP以外のパッケージ構造を、半導体チップに対して適用することとなる。すなわち、WCSP構造を有する従来の半導体装置によれば、上述したような問題が生じる結果、多ピン化を実現するのが困難であった。

#### 【0 0 1 3】

この発明は、上述した問題点に鑑みなされたものである。従って、この発明の目的は、実装面サイズを増加させることによって多ピン化を容易に実現することのできる、WCSP構造を有する半導体装置、及びその製造方法を提供することにある。

#### 【0 0 1 4】

加えて、この発明の目的は、このような構造を有する半導体装置の動作をより安定なものとすることを目的として、電源バウンスの原因となる電源系のインダクタンスを低減することができる構成、及び信号の高速伝送に適した構成のいずれか又は両方を具える半導体装置、及びその製造方法を提供することにある。

#### 【0 0 1 5】

【課題を解決するための手段】

これらの目的の達成を図るため、この発明の半導体装置は、下記のような構成上の特徴を有している。

【0 0 1 6】

半導体装置は、半導体基板を具えている。この半導体基板の回路素子形成領域は第 1 領域であり、この第 1 領域には複数の回路素子が作り込まれている。

【0 0 1 7】

この回路素子には例えば多層構造の配線を介して複数の回路素子接続用パッドが接続されている。半導体基板は、この第 1 領域の周辺を囲むように設けられている第 2 領域を具えている。

【0 0 1 8】

半導体基板の第 1 領域には、接地されるべき端子及び電源に接続されるべき端子からなる複数の複数の第 1 サブ外部端子が配置されている。さらに、第 1 領域には、第 2 サブ外部端子が配置されている。これら第 1 サブ外部端子及び第 2 サブ外部端子を総じて第 1 外部端子とも称する。

【0 0 1 9】

半導体基板の第 2 領域には、複数の第 2 外部端子が配置されている。

【0 0 2 0】

第 1 サブ配線構造は、第 1 領域に設けられていて、複数の第 1 サブ外部端子と複数の回路素子接続用パッドとを電氣的に接続している。

【0 0 2 1】

第 2 サブ配線構造は、第 1 領域に設けられていて、複数の第 2 サブ外部端子と複数の回路素子接続用パッドとを電氣的に接続している。

【0 0 2 2】

複数の第 2 配線構造は、第 1 領域から第 2 領域に渡って設けられていて、複数の第 2 外部端子と複数の回路素子接続用パッドとを電氣的に接続している。

【0 0 2 3】

この発明の半導体装置によれば、第 1 領域と同等のサイズの実装面に複数の第 1 外部端子が配置され、かつ第 2 領域と同等のサイズの実装面に複数の第 2 外部端子が配置されている。よって、第 1 領域に加えて、第 2 領域にも外部端子を設

けることができるので、第1領域及び第2領域を実装面として使用できる。

#### 【0024】

すなわち、多ピン化を行うにあたり、第1領域と同等のサイズの実装面に第1外部端子を複数個配置するだけでは目的とするピン数を達成するのが困難である場合でも、この発明の半導体装置の構成によれば、第2領域に対して第2外部端子を複数個配置することができる。この発明の半導体装置において、第2領域は、実装面サイズが目的とするピン数が達成できるようなサイズとなるように、第1領域に対して設けられている。

#### 【0025】

以下、第1領域において、回路素子接続用パッドと、電氣的に接続される配線構造の配線方式をファンイン方式と称する。このファンイン方式に対して、回路素子接続用パッドと、第1領域から第2領域に渡って、電氣的に接続される配線構造の配線方式をファンアウト方式と称する。

#### 【0026】

従って、この発明の半導体装置によれば、回路素子そのものの設計を変えることなく、この回路素子形成領域である第1領域に加えて、第2領域を設けることによって、実装面サイズを所望のサイズとすることができる。そして、このようなサイズの実装面に対して外部端子を設けることによって、目的とするピン数をピッチを狭めることなく達成することができる。結果として、多ピン化を実現することができる。

#### 【0027】

また、以上説明したような構成を有するこの発明の半導体装置によれば、実装面サイズを所望のサイズとすることができるため、外部端子のピッチを、当該半導体装置を使用するユーザの要望にあわせたピッチとして、多ピン化を実現することもできる。

#### 【0028】

さらに、この発明の半導体装置は、上述したような構成を有する半導体装置の動作をより安定なものとすることを目的として、電源バウンスの原因となる電源系のインダクタンスを低減することができる構成を具えるので、外部端子の設計

自由度を向上させる効果に加えて、半導体装置の誤作動を効果的に防ぐことができる。

### 【0029】

また、この発明の半導体装置は、信号の高速伝送に適した構成を具えるので、外部端子の設計自由度を向上させる効果に加えて、半導体装置の高機能化を図ることができる。

### 【0030】

#### 【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態につき説明する。なお、図面には、この発明が理解できる程度に各構成成分の形状、大きさ及び配置関係が概略的に示されているに過ぎず、これによりこの発明が特に限定されるものではない。また、以下の説明において、特定の材料、条件及び数値条件等を用いることがあるが、これらは好適例の1つに過ぎず、従って、何らこれらに限定されない。また、以下の説明に用いる各図において同様の構成成分については、同一の符号を付して示し、その重複する説明を省略する場合もあることを理解されたい。

### 【0031】

#### 〔第1の実施の形態〕

##### 1. 半導体装置の構成

この実施の形態の半導体装置10の構成例について、図1及び図2を参照して説明する。図1は、半導体装置10の上方から見た、構成要素の配置関係を説明するための透過的な平面図である。形成されている配線構造の説明を容易にするために、その上面側に実際には形成されている封止部（後述する。）を透過するように示してある。図2は、図1において、I-I破線で切断した切り口を示す模式的な断面図である。

### 【0032】

半導体装置10は、予め回路素子形成領域である第1領域02と、この第1領域02を囲む第2領域04とが、一体として形成されている半導体基板（半導体ウェハ）12を含んでいる。この実施の形態によれば、図1において破線に囲まれている第1領域02は、図2に示した回路素子14が形成されている領域であ

る。この回路素子 14 は、一般に、LSI などの集積回路を有する複数の能動素子によって構成される。

#### 【0033】

図 2 に示したように、半導体装置 10 は、半導体基板 12 において、第 1 領域 02 に形成された回路素子 14 の表面 14a が、第 1 領域 02 における半導体基板 12 の表面とされている。この半導体基板 12 の第 1 領域 02 以外の領域が第 2 領域 04 となる。

#### 【0034】

回路素子 14 には、一般に、多層の配線構造（図示せず。以下、内部配線とも称する。）が形成されていて、これら複数の能動素子が協働して所定の機能を発揮できるように形成されている。この第 1 領域 02 上には前述の回路素子及び配線構造に接続される複数の電極パッド（以下、回路素子接続用パッドとも称する）18 が設けられている。図 1 に示す構成によれば、複数の回路素子接続用パッド 18 は、隣接する回路素子接続用パッド 18 同士のピッチが同一となるように、第 1 領域 02 の内周に沿って設けられている。

#### 【0035】

半導体装置 10 の第 1 領域 02 には複数の第 1 外部端子 32a が配置されている。半導体装置 10 の第 2 領域 04 には複数の第 2 外部端子 32b が配置されている。

#### 【0036】

複数の第 1 外部端子 32a は、隣接する第 1 外部端子 32a 同士のピッチが同一となるように、第 1 領域 02 に設けられている。また、複数の第 2 外部端子 32b も同様に、隣接する第 2 外部端子 32b 同士のピッチが同一となるように、第 2 領域 04 に設けられている。

#### 【0037】

この第 1 の実施の形態の構成例によれば、電源に接続されるか又は接地される外部端子を、第 1 領域 02 に集めて形成することを特徴としている。

#### 【0038】

図 1 には、回路素子接続用パッド 18 の内側に沿って配置されている 12 個の

第1外部端子32aのうち、矩形の各辺に1つずつ、かつ素子形成領域、すなわち第1領域02の中心に対して対称となるように、電源に接続されるか又は接地される外部端子を配置した例を示してある。電源に接続されるか又は接地される外部端子を第1サブ外部端子32aaとして示し、他の電源に接続されないか又は接地されない他の外部端子を第2サブ外部端子32abとして示してある。

#### 【0039】

複数の第1外部端子32aは、複数の回路素子接続用パッド18と、いわゆるファンイン方式の複数の第1配線構造30aによって、電氣的に接続される。

#### 【0040】

このとき、第1サブ外部端子32aaと接続される配線は、好ましくは、配線の延在方向に対して垂直方向に切断した切断面の面積が、他の配線、例えば第2サブ外部端子32abに接続される配線の延在方向に対して垂直方向に切断した切断面の面積よりも大きな面積となるように、すなわち、配線の幅を太く形成するか、又は厚さを厚く形成するかのいずれか又は両方の構造とするのがよい。このようにより大きな切断面を有する配線の領域は、電極パッドと接続される部分領域を除いた主要な領域とするのがよい。

#### 【0041】

図1において、第1サブ外部端子32aaに接続される配線を第1サブ配線構造30aとして示し、第2サブ外部端子32abに接続される配線を第2サブ配線構造30bとして示してある。

#### 【0042】

第1サブ配線構造30aは、他の配線と比較して、より低い抵抗率を有し、かつ低い透磁率を有する材料により形成するのがよい。

#### 【0043】

具体的には第1サブ配線構造30aは、加工の容易性、導電率等の物性を考慮して、好ましくは銅(Cu)により形成するのがよい。

#### 【0044】

複数の第2外部端子32bは、複数の回路素子接続用パッド18と、ファンアウト方式の複数の第2配線構造31によって、電氣的に接続されている。



**【0045】**

なお、この発明の半導体装置において、第1領域02に形成される第1配線構造30の総数に第2領域04に形成される第2配線構造31の総数を加えて得られる数は、第1領域02に設けられた回路素子接続用パッド18の総数と同等か、それよりも少なくするのが好ましい。

**【0046】**

図2に示したように、半導体装置10は、第1領域02に複数の回路素子接続用パッド18を具えている。そして、半導体基板12上には、パッシベーション膜20が、回路素子接続用パッド18の一部分を露出させて形成されている。

**【0047】**

半導体装置10には、第1領域02の外周に沿って、溝部40が設けられている。図2に示す構成例において、パッシベーション膜20に設けられている溝部40は、後述する第2スクライブラインL2に相当する（詳細は後述する。）。

**【0048】**

パッシベーション膜20上には、第1再配線層24a及び第2再配線層24bの形成を安定かつ容易にするための絶縁膜22が形成されている。

**【0049】**

絶縁膜22は、回路素子接続用パッド18、すなわち図2に示した回路素子接続用パッド18a及び18bの一部分が露出するように設けられている。

**【0050】**

絶縁膜22から露出している回路素子接続用パッド18には配線が接続されている。

**【0051】**

ここで、図2を参照して、これら回路素子接続用パッド18に接続される第1配線構造30、及び第2配線構造31のそれぞれについて説明する。

**【0052】**

この実施の形態によれば、第1配線構造30は、第1外部端子32aと電氣的に接続される電極ポストとしての第1ポスト部28aと、この第1ポスト部28aと回路素子接続用パッド18bとを電氣的に接続する第1再配線層24aとか

ら構成されている。なお、この第1再配線層24aの一部分を第1ポスト用パッド26aとしてあり、第1ポスト部28aをこの第1ポスト用パッド26aと電氣的に接続してあるのが好ましい。

#### 【0053】

また、第2配線構造31は、第2外部端子32bと電氣的に接続される電極ポストとしての第2ポスト部28bと、この第2ポスト部28bと回路素子接続用パッド18aとを電氣的に接続する第2再配線層24bとから構成されている。なお、この第2再配線層24bの一部分を第2ポスト用パッド26bとしてあり、第2ポスト部28bをこの第2ポスト用パッド26bと電氣的に接続する構成とするのが好ましい。

#### 【0054】

図2に示したように、第1再配線層24aは、第1領域02内において、回路素子接続用パッド18bと第1ポスト部28aとの間を接続する、ファンイン方式の配線として形成されている。また、図2において、第2再配線層24bは、第1領域02から第2領域04に渡って、回路素子接続用パッド18aと第2ポスト部28bとの間を接続する、ファンアウト方式の配線として形成されている。

#### 【0055】

第1ポスト用パッド26aと第2ポスト用パッド26bとは、絶縁膜22上に設けられている。図2に示したように、第1再配線層24aの一端側を、絶縁膜22を貫いて、回路素子接続用パッド18bの頂面と電氣的に接続させてある。一方、この一端側から当該第1再配線層24aを絶縁膜22上に延在させて形成し、かつ当該第1再配線層24aの他端側を第1ポスト用パッド26aとしてある。また、第2再配線層24bは、第1再配線層24aと同様に、その一端側を他の回路素子接続用パッド18aと電氣的に接続させるとともに、その他端側を第2ポスト用パッド26bとしてある。

#### 【0056】

ここで、第1ポスト用パッド26aは、好ましくは、第1外部端子32aの配置位置に対応して絶縁膜22上に配置されている。

**【0057】**

第2ポスト用パッド26bは、第1ポスト用パッド26aと同様に、第2外部端子32bの配置位置に対応して絶縁膜22上に配置されているのが好ましい。

**【0058】**

図2に示す構成例では、各パッドと外部端子との接続は次のようにして行われている。

**【0059】**

第1ポスト用パッド26a上には、これらパッド26aと電氣的に接続される第1ポスト部28aが設けられている。また、図2に示す第2ポスト用パッド26b上には、同様に、第2ポスト部28bが設けられている。

**【0060】**

配線構造、すなわち第1及び第2の再配線層が形成されている絶縁膜22上には、封止部34が、第1領域02に形成された第1ポスト部28a、及び第2領域04に形成された第2ポスト部28bを埋め込むように設けられている。また、封止部34からは、第1ポスト部28a及び第2ポスト部28bのそれぞれの頂面が露出している。

**【0061】**

そして、第1ポスト部28aの、封止部34から露出した頂面に例えば半田ボールである第1外部端子32aが設けられ、第2ポスト部28bの封止部34から露出した頂面にも同様に半田ボールである第2外部端子32bが設けられている。

**【0062】**

従って、この実施の形態の構成例では、第1領域02の絶縁膜22上には、第1外部端子32aの直下の位置に、第1ポスト用パッド26aが設けられており、また、第2領域04の絶縁膜22上には、第2外部端子32bの直下の位置に、第2ポスト用パッド26bが設けられている。

**【0063】**

なお、この発明の半導体装置は、第1及び第2外部端子32a及び32bの各ピッチは必ずしも同一とする場合に限定されない。

**【0 0 6 4】**

第 1 及び第 2 外部端子 3 2 a 及び 3 2 b の各ピッチ、及びこれら第 1 及び第 2 外部端子 3 2 a 及び 3 2 b をどのような形態で配列するかは、実施基板側の形態で決定される設計事項である。

**【0 0 6 5】**

半導体基板 1 2 には、第 1 領域 0 2 と、第 2 領域 0 4 とが設けられている。そして、この実施の形態の半導体装置 1 0 では、実装面における多ピン化を行うにあたり、第 1 領域 0 2 に第 1 外部端子 3 2 a を複数個配置するだけでは、目的とするピン数を達成するのが困難である場合でも、隣接する外部端子同士のピッチを狭めることなく、第 2 領域 0 4 に第 2 外部端子 3 2 b を複数個配置することができる。

**【0 0 6 6】**

また、第 1 領域 0 2 及び第 2 領域 0 4 の実装面に、複数の第 1 及び第 2 外部端子 3 2 a 及び 3 2 b を配置することによって、目的とするピン数を達成することができる。結果として、多ピン化を実現することができる。

**【0 0 6 7】**

この実施の形態の半導体装置 1 0 の構成例によれば、回路素子形成領域である第 1 領域 0 2 に隣接してこれを囲むように設けられる第 2 領域 0 4 の表面サイズを所望のサイズとすることにより、実装面サイズを、回路素子 1 4 そのものの設計を変えることなく、変更することができる。

**【0 0 6 8】**

また、この実施の形態の半導体装置 1 0 の構成例によれば、実装面サイズを所望のサイズとすることができるため、第 1 及び第 2 外部端子 3 2 a 及び 3 2 b の、それぞれのピッチを、当該半導体装置 1 0 を使用するユーザの要望にあわせたピッチとして、多ピン化を実現することもできる。

**【0 0 6 9】**

この実施の形態の半導体装置 1 0 の構成例によれば、接地されるべき端子及び電源に接続されるべき端子である複数の第 1 サブ外部端子 3 2 a a を第 1 領域 0 2 に集めて設けてある。従って、第 1 サブ外部端子 3 2 a a と回路素子接続用パ

ッド18との間を電氣的に接続する配線の長さを短くすることができる。従って、電源に接続されるか又は接地される外部端子に接続される配線の長さをより短くすることができるので、これらの配線に生じる電源系の抵抗成分やインダクタンス成分を低減することができる。

#### 【0070】

このような構成とすれば、配線の寄生インダクタンスに基因する電源バウンス又はグラウンドバウンスの発生を防止することができる。結果として、この実施の形態の半導体装置の動作を安定させ、誤動作を防止することができる。

#### 【0071】

また、電源に接続されるか又は接地される配線、すなわち第1サブ配線構造30aを、配線の延在方向に対して垂直方向に切断した切断面の面積が、他の配線の延在方向に対して垂直方向に切断した切断面の面積よりも大きな面積となるように、すなわち、配線の幅を太く形成するか、又は厚さを厚く形成するかのいずれか又は両方の構造とすれば、より効果的に配線の抵抗成分や寄生インダクタンスを低減することができるので、より動作が安定した半導体装置とすることができる。

#### 【0072】

### 2. 半導体装置の製造方法

次に、図1及び図2を参照して説明したこの実施の形態の半導体装置10の製造方法について、図3～図6を参照して説明する。

#### 【0073】

この発明の半導体装置は、ウェハプロセスにより半導体ウェハにマトリクス状に複数個が形成された半導体装置を含む構造体に対して、個片化が行われる結果得られる。

#### 【0074】

まず、図3(A)及び(B)を用いて、この発明の半導体装置10の製造工程をウェハ12から切り出して個片化するための個片化工程と関連付けて説明する。

#### 【0075】

図3 (A) は、前述したような個片化が行われていない状態における半導体ウェハ12の構成を上方から見た概略的な平面図である。図3 (B) は、半導体装置10となるべき構造体が、半導体ウェハ12中に占める領域関係を説明するために、図3 (A) の一部領域を拡大して示した概略的な部分拡大図である。

#### 【0076】

図3 (A) に示したように、半導体ウェハ12には、複数のスクライブラインが格子状に形成されている。これらスクライブラインによって区画される領域のそれぞれに、半導体装置10が形成されている。

#### 【0077】

次に、この図3 (A) において、符号を付与して示した半導体装置10の周辺を拡大して図3 (B) に示す。図3 (B) において、複数のスクライブラインは、それぞれ符号L1を付与して示してある。これらスクライブラインL1を第1スクライブラインとすると、上述したように、複数の第1スクライブラインL1によって区画される領域のそれぞれが、上述した半導体装置10の領域となる。

#### 【0078】

図3 (B) に示したように、第2領域04のサイズは、第1スクライブラインL1と、第2スクライブラインL2との間の所定の間隔で決定される。この所定の間隔は、実装面サイズと、所望のピン数とを勘案して任意好適に設定することができる。

#### 【0079】

また、符号L2を付与した破線で示される第2スクライブラインが、第1スクライブラインのそれぞれに対して設けられている。図3 (B) に示すように、1本の第1スクライブラインL1に対し、2本の第2スクライブラインL2が、当該第1スクライブラインL1の両側に所定の間隔を空けて、当該第1スクライブラインL1と平行に設けられている。この所定の間隔についての詳細な説明は後述する。

#### 【0080】

このように、半導体ウェハ12に複数個の半導体装置10が形成された状態であって、かつ個片化を行う前の状態で、第1領域02の外周の第2スクライブラ

イン L2、すなわち図2で説明した溝部40に沿ってダイシングを行い、第1領域02のみ、すなわち回路素子形成領域のみを、半導体ウェハ12から切り出して個片化することもできる。そして、半導体ウェハ12から切り出された半導体装置10の第1領域02に相当するチップを、WCSP以外の他の形態のパッケージに適用することも可能である。

#### 【0081】

ここで、図3(B)に、ドットパターンを施して示す半導体装置10に注目すれば、この半導体装置10の領域は、4本の第2スクライブラインL2によって、第1領域02と、この第1領域02以外の領域である第2領域04とに分けられる。

#### 【0082】

図3(B)に示す構成例によれば、第1領域02は、半導体装置10において、4本の第2スクライブラインL2によって四角形状に区画された中央の領域であって、第2領域04は、第2スクライブラインL2と第1スクライブラインL1とで挟まれた領域である。

#### 【0083】

この発明の半導体装置10は、第1スクライブラインL1に沿って、半導体ウェハ12から切り出されて個片化されることで得られる。

#### 【0084】

この実施の形態の半導体装置10の製造方法を図4から図6を参照して具体的に説明する。

#### 【0085】

図4(A)及び(B)、図5並びに図6は、製造工程を説明するために、製造中途の1つの構造体を代表として、図2と同様に切断した切り口を示す概略的な断面図である。

#### 【0086】

図4(A)に示したように、シリコン(Si)基板である半導体ウェハ12には、第1領域02と、第2領域04とが存在している。第1領域02には、通常のウェハプロセスにより、複数の能動素子等を含む回路素子14が作り込まれて

いる領域である。

#### 【0087】

回路素子14は、一般に、Al（アルミニウム）を含む合金、Au（金）を含む合金等から形成される多層の配線構造（図示せず。）により互いに接続されていて、所定の機能を発揮できるように形成される。

#### 【0088】

そして、回路素子14の表面14a上には、Al（アルミニウム）を含む合金、Au（金）を含む合金、及びCu（銅）を含む合金のうちから選択された一種の合金を材料として構成される回路素子接続用パッド18が形成される。なお、回路素子接続用パッド18は、前述した合金のみを材料として用いて構成される場合に限定されず、任意好適な金属材料を用いて形成することができる。

#### 【0089】

次いで、半導体基板12の第1領域02及び第2領域04には、例えばシリコン窒化膜（SiN）を用いて構成されるパッシベーション膜20が、膜厚0.5～1.0 $\mu$ m程度で形成される。

#### 【0090】

パッシベーション膜20は、回路素子接続用パッド18の一部分が露出するように、かつ溝部40（図2参照）を形成するように形成する。また、好ましくは、このパッシベーション膜20は、上面が平坦となるように形成するのがよい。

#### 【0091】

次に、図4（B）に示したように、従来既知のスピンコート法（スピン塗布法）により、パッシベーション膜20上に、例えば絶縁材料であるポリイミドを、厚さ10 $\mu$ m程度でコーティングして、絶縁膜22を形成する。絶縁膜22は、溝部40を埋め込むように、かつ回路素子接続用パッド18の一部分が露出するように形成する。

#### 【0092】

具体的には、例えば、絶縁膜22を第1領域02及び第2領域04の全面に形成した後に、絶縁膜22の主表面から、パッシベーション膜20から露出した回路素子接続用パッド18に達する開口部60を公知のホトリソグラフィ技術によ



り形成して、回路素子接続用パッド 1 8 の一部分を露出させればよい。

#### 【0 0 9 3】

その後、回路素子接続用パッド 1 8 に接続され、開口部 6 0 から絶縁膜 2 2 上へ導出される配線構造を形成する。

#### 【0 0 9 4】

図 5 に示したように、開口部 6 0 から素子形成領域 1 4 の中心に向かって導出される第 1 サブ配線構造 3 0 a を、第 1 再配線層 2 4 a として形成する。

#### 【0 0 9 5】

また、第 2 配線構造 3 1 は、第 1 領域 0 2 から第 2 領域 0 4 に渡って、第 2 再配線層 2 4 b として、絶縁膜 2 2 の表面上に、形成される。これら第 1 及び第 2 再配線層 2 4 a 及び 2 4 b は、好ましくは同一プロセスで、銅 (C u) か或いは銅 (C u) を含む合金のいずれかを材料として用いて、同時に形成するのがよい。

#### 【0 0 9 6】

このとき、第 1 再配線層 2 4 a のうち、少なくとも電源に接続される端子又は接地される端子と接続される配線については、配線の抵抗成分や寄生インダクタンスを低減するために、より短い配線として形成するのがよい。

#### 【0 0 9 7】

第 1 再配線層 2 4 a のうち、少なくとも電源に接続される端子又は接地される端子と接続される配線については、配線の抵抗成分や寄生インダクタンスを低減するために、好ましくは、配線の延在方向に対して垂直方向に切断した部分領域の切断面の面積が、他の配線、例えば第 2 サブ外部端子 3 2 a b に接続される配線の切断面の面積よりも大きな面積となるように、すなわち、配線の幅を太く形成するか、又は厚さを厚く形成するかのいずれか又は両方の形態を組み合わせ形成するのがよい。

#### 【0 0 9 8】

また、例えば、第 1 再配線層 2 4 a のうち、少なくとも電源に接続される端子又は接地される端子と接続される配線については、この実施の形態の構成例では、電源に接続される端子又は接地される端子と接続されるので、配線層の寄生イ

ンダクタンスを低減するために、より低い抵抗率を有し、かつ低い透磁率を有する材料を選択して形成するのがよい。

#### 【0099】

ここで、再配線層の製造工程につき説明する。まず、絶縁膜 22 上に、図 4 (B) を用いて説明した 2 つの開口部 60 のそれぞれを埋め込んで金属膜を設ける。

#### 【0100】

この金属膜は、公知のホトリソグラフィ技術により、任意好適な配線構造を形成する。図 5 に示したように、第 1 再配線層 24 a 及び第 2 再配線層 24 b と、第 1 再配線層 24 a の一部として形成される第 1 外部端子接続用パッド 26 a と、第 2 再配線層 24 b の一部として形成される第 2 外部端子接続用パッド 26 b とを形成する。

#### 【0101】

この例では、第 1 及び第 2 再配線層 24 a 及び 24 b を同一プロセスで同時に形成する例を説明したが、第 1 再配線層 24 a と第 2 再配線層 24 b は、互いに別プロセスで、かつ互いに異なる材料を使用して形成することもできる。

#### 【0102】

続いて、形成された配線層上に、導体ポストを形成する。この工程は、公知のホトリソグラフィ技術によりパターン化されたレジストをマスクにして、例えば導体である銅 (Cu) を従来公知の方法によりメッキした後、レジストを除去する工程として、第 1 ポスト部 28 a 及び第 2 ポスト部 28 b を形成する。

#### 【0103】

なお、このホトリソグラフィ工程の際、レジストはドライ現像用レジストを用い、ドライ現像を行うのが好ましい。

#### 【0104】

ここで、第 1 再配線層 24 a 及び第 2 再配線層 24 b のそれぞれは、膜厚 5  $\mu$ m 程度で形成するのが好適である。

#### 【0105】

また、第 1 及び第 2 ポスト部 28 a 及び 28 b は、延在方向 (図面において、

紙面の上下方向) に対して垂直方向の断面形状が直径 100~250  $\mu\text{m}$  程度の円となる円柱状とするのが好適である。

#### 【0106】

その後、図6に示したように、従来公知のトランスファーモールド方式もしくは印刷方式にて、例えば、エポキシ系のモールド樹脂や液状封止材といった封止樹脂を用いて、封止部34を形成する。このとき、研削等を行って第1及び第2ポスト部28a及び28bの頂面が、封止部34から露出するように形成する。

#### 【0107】

封止部34の形成に、フィルム成形等の方法を適用することもできる。この場合には、第1及び第2ポスト部28a及び28bに実質的に負荷をかけることがない。また、この場合には、上述した封止部34に対する研削工程を要せずにポスト部28の頂面を封止部34の表面に露出するように直接的に形成することができる。

#### 【0108】

また、ポスト部28の露出した頂面に対して設計上必要な任意好適な処理を行ってもよい。例えばポスト部28の材料を銅とした場合には、ポスト部28の頂面にバリアメタル層として、薄いNi（ニッケル）膜を形成すること等してもよい。

#### 【0109】

続いて、第1及び第2外部端子32a及び32bを、公知の方法である、印刷及びリフローもしくは半田ボール等の搭載及びリフローにより形成する（図6）。この例では導体ポストを使用して外部端子を接続する例を説明したが、例えばポストを使用せずに、封止部34から露出する配線構造の一部分に、直接的に外部端子を接続することもできる。

#### 【0110】

この時点で、この実施の形態におけるウェハレベルでの半導体装置のパッケージングが終了する。

#### 【0111】

次に、上述したパッケージングが終了した状態の半導体ウェハ12を、図3（

B) に示して既に説明したように、第 1 スクライブライン L 1 に沿って研削することで個片化する。このようにして、同一の構造を有する複数の第 1 の実施の形態の半導体装置 10 を 1 枚のウェハから製造することができる。

#### 【0112】

以上説明したような、この実施の形態の半導体装置 10 の製造方法によれば、従来公知の W C S P プロセスによって、半導体装置の製造を行う。よって、新たな製造ラインを導入する必要は無く、従来の半導体装置の製造に要するコストと同等のコストで、半導体装置を製造することができる。

#### 【0113】

##### [第 2 の実施の形態]

次に、図 7 ～図 9 を参照して、この発明の半導体装置の第 2 の実施の形態について説明する。

#### 【0114】

なお、第 1 の実施の形態と同様の構成成分については、同一の番号を付してその詳細な説明を省略する。

#### 【0115】

##### 1. 半導体装置の構成例

この実施の形態の半導体装置は、第 1 の実施の形態と同様に、半導体ウェハに形成された複数の半導体装置を含む構造体を個片化して得られる。

#### 【0116】

まず、この実施の形態の半導体装置の構成について、図 7 及び図 8 を参照して説明する。図 7 は、第 2 の実施の形態の半導体装置の構成要素を説明するための透過的な平面図である。形成されている配線構造の説明を容易にするために、その上面側に実際には形成されている封止部を透過するように示してある。図 8 (A) は、図 7 の半導体装置を I - I 破線に沿って切断した切り口を示す模式的な断面図である。図 8 (B) は、図 7 の半導体装置を I I - I I 破線に沿って切断した切り口を示す模式的な断面図である。

#### 【0117】

この実施の形態の半導体装置 10 は、図 1 及び図 2 を参照して説明した半導体

装置と同様に、回路素子 14 の形成領域である第 1 領域 02 と、この第 1 領域 02 を中心にして、この領域を囲む第 2 領域 04 とを有する。そして、第 1 領域 02 には、第 1 の実施の形態と同様に、複数の回路素子接続用パッド 18 が設けられる構成を有している。

#### 【0118】

図 7 において破線に囲まれている第 1 領域 02 は、図 8 (A) に示した回路素子 14 が形成されている領域である。

#### 【0119】

回路素子 14 は、第 1 の実施の形態と同様に、例えば多層の内部配線（層）（図示せず。）により互いに接続されていて、所定の機能を発揮できるように形成されている。第 1 領域 02 には前述の回路素子及び内部配線に接続される複数の回路素子接続用パッド 18 が設けられている。

#### 【0120】

また、半導体装置 10 の第 1 領域 02 には複数の第 1 外部端子 32a が配置されている。半導体装置 10 の第 2 領域 04 には複数の第 2 外部端子 32b が配置されている。

#### 【0121】

複数の第 1 外部端子 32a は、隣接する第 1 外部端子 32a 同士のピッチが同一となるように、第 1 領域 02 に設けられている。また、複数の第 2 外部端子 32b は、隣接する第 2 外部端子 32b 同士のピッチが同一となるように、第 2 領域 04 に設けられている。

#### 【0122】

この実施の形態の構成例では、複数の第 1 外部端子 32a は、第 1 の実施の形態と同様に、複数の回路素子接続用パッド 18 と、いわゆるファンイン方式の複数の第 1 配線構造 30a によって、電気的に接続される。好ましくは、第 1 外部端子 32a は、動作時に電源バウンスの発生を防ぐために、電源に接続される端子とするのがよい。

#### 【0123】

このとき、第 1 外部端子 32a と回路素子接続用パッド 18 に接続される第 1

配線構造 30 のうち、少なくとも電源に接続される第 1 外部端子 32 a に接続される配線は、好ましくは、配線の延在方向に対して垂直方向に切断した部分領域の切断面の面積が、他の配線に接続される配線の切断面の面積よりも大きな面積となるように、すなわち、配線の幅を太く形成するか、又は厚さを厚く形成するかのいずれか又は両方の構造とするのがよい。

#### 【0124】

この電源に接続される第 1 配線構造 30 は、より低い抵抗率を有し、かつ低い透磁率を有する材料により形成するのがよい。

#### 【0125】

また、複数の第 2 外部端子 32 b は、複数の回路素子接続用パッド 18 と、ファンアウト方式の複数の第 2 配線構造 31 によって、電氣的に接続される。

#### 【0126】

図 8 に示したように、この実施の形態の半導体基板 12 の第 2 領域 04 には金属層 27 が設けられている。金属層 27 の材質等については製造工程の説明の項で説明する。

#### 【0127】

回路素子接続用パッド 18 a 及び 18 b の一部分が露出するように、パッシベーション膜 20 が、第 1 領域 02 に、設けられている。このとき、パッシベーション膜 20 は、後述する製造工程の選択により、金属層 27 上にも設ける構成とすることができる。

#### 【0128】

図 8 (A) に示したように、パッシベーション膜 20 には、第 1 領域 02 の外周に沿って、溝部 40 が設けられている。この溝部 40 は、第 1 の実施の形態で図 3 を用いて説明したスクライブライン L2 に相当する。

#### 【0129】

また、パッシベーション膜 20 上には、第 1 再配線層 24 a 及び第 2 再配線層 24 b の形成を安定かつ容易にするための絶縁膜 22 が形成されている。

#### 【0130】

絶縁膜 22 は、回路素子接続用パッド 18、すなわち図 8 (A) に示した回路

素子接続用パッド 18 a 及び 18 b の一部分が露出するように設けられている。

#### 【0131】

また、図 8 (B) に示したように、この絶縁膜 22 は、金属層 27 の一部分が露出するように設けられている。このとき、パッシベーション膜 20 が金属層 27 上に設けられている場合には、パッシベーション膜 20 を貫通して金属層 27 の一部分が露出するように、絶縁膜 22 を設ける。以下、絶縁膜 22 から露出した金属層 27 の一部分を、金属層接続用パッド 19 とも称する。

#### 【0132】

図 7 及び図 8 (B) に示したように、金属層接続用パッド 19 は、半導体装置の中心、すなわち第 1 領域 02 の中心に対して対称の配置となるように形成するのがよい。

#### 【0133】

この例では、金属層接続用パッド 19 は、第 1 領域 02 の端縁の輪郭に沿って、輪郭の各辺につき 3 組ずつ設けてある。各組は、2 つの金属層接続用パッド 19 からなり、各辺の両終端部に 1 組ずつと、各辺の中心とに配置されている。また、これら 1 組の 2 つの金属層接続用パッド 19 は、各辺から第 2 領域 04 の端縁に向かって垂直方向に並ぶように配置されている。

#### 【0134】

金属層接続用パッド 19 の配置位置及び個数は、例示に過ぎず、半導体装置の仕様等により適宜変更することができる。

#### 【0135】

絶縁膜 22 から露出している回路素子接続用パッド 18 及び金属層接続用パッド 19 には第 3 配線構造 33 が接続されている。

#### 【0136】

ここで、回路素子接続用パッド 18 及び金属層接続用パッド 19 に接続される第 1 配線構造 30、第 2 配線構造 31 及び第 3 配線構造 33 について説明する。第 1 の実施の形態と同様に、第 1 配線構造 30 は、第 1 外部端子 32 a と電氣的に接続される電極ポストとしての第 1 ポスト部 28 a と、この第 1 ポスト部 28 a と回路素子接続用パッド 18 b とを電氣的に接続する第 1 再配線層 24 a とか

ら構成されている。

#### 【0137】

なお、この第1再配線層24aの一部を第1ポスト用パッド26aとしてあり、第1ポスト部28aをこの第1ポスト用パッド26aと電氣的に接続するのが好ましい。

#### 【0138】

また、第2配線構造31は、第2外部端子32bと電氣的に接続される電極ポストとしての第2ポスト部28bと、この第2ポスト部28bと回路素子接続用パッド18aとを電氣的に接続する第2再配線層24bとから構成されている。なお、この第2再配線層24bの一部を第2ポスト用パッド26bとしてあり、第2ポスト部28bをこの第2ポスト用パッド26bと電氣的に接続する構成とするのが好ましい。

#### 【0139】

図8(A)に示したように、第1再配線層24aは、第1領域02において、回路素子接続用パッド18bと第1ポスト部28aとの間を接続する、ファンイン方式の配線として形成されている。また、図8(A)において、第2再配線層24bは、第1領域02から第2領域04に渡って、回路素子接続用パッド18aと第2ポスト部28bとの間を接続する、ファンアウト方式の配線として設けられている。

#### 【0140】

第1ポスト用パッド26aと第2ポスト用パッド26bは、絶縁膜22上に設けられている。図8(A)に示すように、第1再配線層24aの一端側を、絶縁膜22を貫いて、回路素子接続用パッド18bの頂面と電氣的に接続させてあり、一方、この一端側から当該第1再配線層24aを絶縁膜22上に延在させて形成し、かつ第1再配線層24aの他端側を第1ポスト用パッド26aとしてある。また、第2再配線層24bは、第1再配線層24aと同様に、その一端側を他の回路素子接続用パッド18aと電氣的に接続させるとともに、その他端側を第2ポスト用パッド26bとしてある。

#### 【0141】



ここで、第1ポスト用パッド26aは、好ましくは、第1外部端子32aの配置位置に対応して絶縁膜22上に配置されている。

#### 【0142】

第2ポスト用パッド26bは、第1ポスト用パッド26aと同様に、第2外部端子32bの配置位置に対応して絶縁膜22上に配置されているのが好ましい。

#### 【0143】

この実施の形態の半導体装置20には、図7及び図8（B）に示したように、金属層接続用パッド19と一端が接続される第3配線構造33が設けられている。この第3配線構造33の他端は、接地される外部端子と接続される。結果として、金属層27をグランド（GND）電位とすることができる。

#### 【0144】

第3配線構造33は、図7に示したように2通りの形態で設けられている。第1に、第3配線構造33の一端が金属層接続用パッド19と接続されていて、他端が第2外部端子32bのうち、接地される第2外部端子32bと接続される第2ポスト用パッド26b、すなわち第2配線構造31に接続されている構造である。

#### 【0145】

第2に、第3配線構造33の一端が金属層接続用パッド19と接続されていて、他端には第2配線構造31と接続されていない第2ポスト用接続パッド26と接続されている構造である。

#### 【0146】

この第3配線構造33は、配線の抵抗成分や寄生インダクタンスを低減するために、より短い配線として形成するのがよい。

#### 【0147】

第3配線構造33は、配線の抵抗成分や寄生インダクタンスを低減するために、好ましくは、配線の延在方向に対して垂直方向に切断した部分領域の切断面の面積が、より大きな面積となるように、すなわち、配線の幅を太く形成するか、又は厚さを厚く形成するかのいずれか又は両方の形態を組み合わせで形成するのがよい。

**【0 1 4 8】**

図 7 及び図 8 に示す構成例では、各パッドと外部端子との接続は次のようにして行われている。

**【0 1 4 9】**

第 1 ポスト用パッド 2 6 a 上には、パッド 2 6 a と電氣的に接続される第 1 ポスト部 2 8 a が設けられている。また、図 8 (A) に示す第 2 ポスト用パッド 2 6 b 上には、同様に、第 2 ポスト部 2 8 b が設けられている。

**【0 1 5 0】**

また、絶縁膜 2 2 には、封止部 3 4 が、第 1 領域 0 2 に形成された第 1 ポスト部 2 8 a、及び第 2 領域 0 4 に形成された第 2 ポスト部 2 8 b を埋め込むように設けられている。また、封止部 3 4 は、第 1 ポスト部 2 8 a 及び第 2 ポスト部 2 8 b の、それぞれの頂面が、この封止部 3 4 から露出するように形成されている。

**【0 1 5 1】**

そして、封止部 3 4 から露出した第 1 ポスト部 2 8 a の頂面に半田ボール等の第 1 外部端子 3 2 a が設けられている。封止部 3 4 から露出した第 2 ポスト部 2 8 b の頂面には、第 2 外部端子 3 2 b が設けられている。

**【0 1 5 2】**

従って、第 1 領域 0 2 の絶縁膜 2 2 上には、第 1 外部端子 3 2 a の直下の位置に、第 1 ポスト用パッド 2 6 a が設けられている。また、第 2 領域 0 4 の絶縁膜 2 2 上には、第 2 外部端子 3 2 b のそれぞれの直下の位置に、第 2 ポスト用パッド 2 6 b が設けられている。

**【0 1 5 3】**

この実施の形態の半導体装置の構成例によれば、半導体基板 1 2 には、第 1 領域 0 2 と、第 2 領域 0 4 とが設けられている。そして、この実施の形態の半導体装置 1 0 では、実装面における多ピン化を行うにあたり、第 1 領域 0 2 に第 1 外部端子 3 2 a を複数個配置するだけでは、目的とするピン数を達成するのが困難である場合でも、隣接する外部端子同士のピッチを狭めることなく、第 2 領域 0 4 にも第 2 外部端子 3 2 b を複数個配置することができる。

**【0154】**

また、第1領域02及び第2領域04の実装面に、複数の第1及び第2外部端子32a及び32bを配置することによって、目的とするピン数を達成することができる。結果として、多ピン化を実現することができる。

**【0155】**

また、回路素子形成領域である第1領域02に加えて設けられる第2領域04の表面サイズを所望のサイズとすることにより、実装面サイズを、回路素子14そのものの設計を変えることなく、変更することができる。

**【0156】**

このように、実装面サイズを所望のサイズとすることができるため、第1及び第2外部端子32a及び32b同士の、それぞれのピッチを、半導体装置10を使用するユーザの要望にあわせたピッチとして、多ピン化を実現することもできる。

**【0157】**

この実施の形態の半導体装置の構成によれば、半導体基板12の第2領域04に金属層27が形成されている。この金属層27は、接続される第3配線構造33と、この第3配線構造33に接続されている第2外部端子32bとを接地することで、グランド(GND)電位とされる。従って、第2領域04に形成される配線構造を、いわゆるマイクロストリップライン構造とすることができる。

**【0158】**

このような構成とすることで、グランド電位とされる金属層27と第2領域04に形成される配線の物理形状により、特性インピーダンスの合わせ込みが可能となる。従って、この実施の形態の半導体装置10の特に第2領域04に形成される配線構造を、信号の高速伝送が可能な配線構造とすることができる。

**【0159】**

## 2. 半導体装置の製造方法

次に、図7及び図8を参照して説明したこの実施の形態の半導体装置10の製造方法について、図9及び図10を参照して説明する。

**【0160】**

個片化工程及び個片化工程で使用する半導体装置の構造については、第1の実施の形態で図3（A）及び（B）を用いて説明したとおりであるので、その詳細な説明は省略する。

#### 【0161】

また、この製造方法における各構成要素の材料、形状等の好適な条件については、第1の実施の形態と同様であるものについては、その詳細な説明を省略し、異なる点に重点を置いて説明する。

#### 【0162】

図9（A）、9（B）及び図10は、製造工程を説明するために、製造中途の1つの半導体装置を代表として、図8（A）と同様に切断した切り口の断面を示す概略的な断面図である。

#### 【0163】

図9（A）に示したように、シリコン（Si）基板である半導体ウェハ12には、第1領域02と、第2領域04とが形成されている。第1領域02は、通常のウェハプロセスにより、例えば複数の能動素子等を含む回路素子14が作り込まれている領域である。

#### 【0164】

回路素子14は、Al（アルミニウム）を含む合金、Au（金）を含む合金等から形成される多層の内部配線（図示せず。）により複数の能動素子が互いに接続され、所定の機能を発揮できるように形成される。

#### 【0165】

そして、第1領域02には、回路素子14と接続される回路素子接続用パッド18が形成される。

#### 【0166】

第1領域02には、例えばシリコン窒化膜（SiN）を用いて構成されるパッシベーション膜20が、形成される。

#### 【0167】

次に、半導体基板12の第2領域04には、従来公知のホトレジスト工程等によるウェハプロセスにより、金属材料で金属層27を形成する。この金属層27

は、上述した回路素子 14 の内部配線又は回路素子接続用パッド 18 と同一の A l (アルミニウム) を含む合金、A u (金) を含む合金、及び C u (銅) を含む合金等の金属材料で、形成することができる。

#### 【0168】

しかしながら、回路素子 14 の内部配線又は回路素子接続用パッド 18、及び後述する第 1、第 2 及び第 3 配線構造の配線材料とは、異なる材料とすることもできる。

#### 【0169】

例えば、回路素子 14 の内部配線又は回路素子接続用パッド 18 と同一の材料で形成する場合には、上述したパッシベーション膜 20 の形成工程の前に、多層に形成される内部配線うち、最上層の内部配線（内部配線層とも称する。）の形成工程又は回路素子接続用パッド 18 の形成工程と同一プロセスで、同時に形成することができる。

#### 【0170】

このように、内部配線層の形成工程又は回路素子接続用パッド 18 の形成工程と同一プロセスで、金属層 27 を形成した場合には、第 1 領域 02 及び第 2 領域 04 にパッシベーション膜 20 を設けるのがよい。

#### 【0171】

パッシベーション膜 20 は、回路素子接続用パッド 18 の一部分が露出するように、かつ溝部 40（図 8（A）参照）を形成するように形成する。ここで、金属層 27 上にもパッシベーション膜 20 を形成した場合には、金属層 27 の一部分を露出するように開口して形成するのがよい。

#### 【0172】

また、パッシベーション膜 20 は、好ましくは第 1 領域 02 と第 2 領域 04 のレベル（すなわち、領域の上面の高さ）が等しくなるように平坦に形成するのがよい。

#### 【0173】

次に、図 9（A）に示したように、従来既知のスピンコート法（スピン塗布法）により、パッシベーション膜 20 及び金属層 27 上に、絶縁材料である例えば

ポリイミドを、厚さ  $10\ \mu\text{m}$  程度でコーティングして、絶縁膜 22 を形成する。絶縁膜 22 は、溝部 40 を埋め込むように、かつ回路素子接続用パッド 18 の一部分が露出するように形成する。また、図 7 及び図 9 (B) に示したように、絶縁膜 22 は、第 2 領域 04 に形成されている金属層 27 の一部分を露出するように設ける。この露出した金属層 27 の一部分が金属層接続用パッド 19 となる。

#### 【0174】

回路素子接続用パッド 18 及び金属層接続用パッド 19 を形成する工程は、例えば、パッシベーション膜 20 及び絶縁膜 22 を第 1 領域 02 及び第 2 領域 04 の全面に形成した後に行うことができる。すなわち、公知のホトリソグラフィ技術により、パッシベーション膜 20 及び絶縁膜 22 から回路素子接続用パッド 18 及び金属層 27 の一部分を露出させて形成すればよい。

#### 【0175】

次いで、回路素子接続用パッド 18 及び金属層接続用パッド 19 から導出される配線構造を形成する。

#### 【0176】

図 9 (B) に示したように、開口部 60 から素子形成領域 14 の中心に向かって導出される第 1 配線構造 30 を、第 1 再配線層 24 a として形成する。

#### 【0177】

また、回路素子接続用パッド 18 から、すなわち第 1 領域 02 から第 2 領域 04 に渡って、第 2 配線構造 31 が、第 2 再配線層 24 b として形成される。

#### 【0178】

加えて、この実施の形態では、金属層接続用パッド 19 から導出される第 3 配線構造 33 を形成する。この第 3 配線構造 33 は、接地される外部端子と接続されるので、配線の抵抗成分や寄生インダクタンスを低減するために、より短い配線として形成するのがよい。

#### 【0179】

また、第 3 配線構造 33 は、配線の抵抗成分や寄生インダクタンスを低減するために、好ましくは、配線の延在方向に対して垂直方向に切断した切断面の面積が、より大きな面積となるように、すなわち、配線の幅を太く形成するか、又は

厚さを厚く形成するか、のいずれか又は両方の形態を組み合わせて形成するのがよい。

#### 【0180】

これら第1再配線層24a、第2再配線層24b及び第3配線構造33は、互いに同一プロセスで、かつ同一の材料を使用して同時に形成することがプロセスの簡略化という観点からは好ましい。

#### 【0181】

しかしながら、第1再配線層24a、第2再配線層24b及び第3配線構造33は、所望により、互いに異なるプロセスで、互いに異なる配線材料で、かつ異なるタイミングで形成することができる。

#### 【0182】

特に第2再配線層24b及び第3配線構造33については、上述したようにマイクロストリップライン構造となるので、所定の特性インピーダンスを得られるように、金属層27の材質及び厚さ、絶縁層22の材料及び厚さ等を勘案して、第2再配線層24b及び第3配線構造33の配線幅、厚さを最適化して形成する。

#### 【0183】

第1再配線層24aのうち、少なくとも電源に接続される外部端子と結線される配線については、第1の実施の形態と同様に、配線の抵抗成分や寄生インダクタンスを低減するために、好ましくは、配線の延在方向に対して垂直方向に切断した切断面の面積が、他の配線の切断面の面積よりも大きな面積となるように、すなわち、配線の幅を太く形成するか、又は厚さを厚く形成するか、のいずれか又は両方の形態を組み合わせて形成するのがよい。

#### 【0184】

また、第1再配線層24aのうち、少なくとも電源に接続される外部端子と結線される配線については、配線の抵抗成分や寄生インダクタンスを低減するために、より低い抵抗率を有し、かつ低い透磁率を有する材料を選択して形成するのがよい。

#### 【0185】

第 1 再配線層 2 4 a、第 2 再配線層 2 4 b 及び第 3 配線構造 3 3 は、以下のよう  
に形成される。すなわち、絶縁膜 2 2 上に、電極パッド 1 8 及び 1 9 に接続さ  
れる金属膜を形成する。

#### 【0 1 8 6】

この金属膜を、公知のホトリソグラフィ技術により加工することにより、配線  
構造が形成される。具体的には、図 9 (B) に示したように、第 1 再配線層 2 4  
a 及び第 2 再配線層 2 4 b と、第 1 再配線層 2 4 a の一部として形成される第 1  
外部端子接続用パッド 2 6 a と、第 2 再配線層 2 4 b の一部として形成される第  
2 外部端子接続用パッド 2 6 b とを形成する。

#### 【0 1 8 7】

また、図 7 に示したように、金属層接続用パッド 1 9 から導出される第 3 配線  
構造 3 3 を形成する。

#### 【0 1 8 8】

続いて、形成された配線構造上に、公知のホトリソグラフィ技術によりパター  
ン化されたレジストをマスクにして、例えば導体である銅 (C u) を従来公知の  
方法によりメッキした後、レジストを除去し、第 1 領域 0 2 には第 1 ポスト部 2  
8 a を、及び第 2 領域 0 4 には第 2 ポスト部 2 8 b を形成する。

#### 【0 1 8 9】

その後、図 1 0 に示したように、従来公知のトランスファーモールド方式もし  
くは印刷方式にて、例えば、エポキシ系のモールド樹脂や液状封止材といった封  
止樹脂を用いて、封止部 3 4 を形成する。

#### 【0 1 9 0】

この実施の形態の半導体装置は、第 2 領域に形成される配線構造、すなわち第  
2 再配線層 2 4 b 及び第 3 配線構造 3 3 は、いわゆるマイクロストリップライン  
構造となる。上述した配線構造の最適化に加えて、第 2 配線層 2 4 b 及び第 3 配  
線構造 3 3 の構成に合わせて金属層 2 7 の材質及び厚さ、絶縁層の材料及び厚さ  
等を最適化することで、所望の特性の配線を形成することができる。

#### 【0 1 9 1】

次いで、研削等を行って第 1 及び第 2 ポスト部 2 8 a 及び 2 8 b の頂面が、封



止部 34 から露出するように形成する。

#### 【0192】

続いて、第 1 及び第 2 外部端子 32a 及び 32b を、公知の方法である、印刷及びリフローもしくは半田ボール等の搭載及びリフローにより形成する。この例では金属ポストを使用して外部端子を接続する例を説明したが、例えば導体ポストを使用せずに、封止部 34 から露出する配線構造の一部分を電極パッドとして、直接的に外部端子を接続することもできる。

#### 【0193】

この時点で、この実施の形態におけるウェハレベルでの半導体装置のパッケージングが終了する。

#### 【0194】

次に、上述したパッケージングが終了した状態の半導体ウェハ 12 を、図 3 (B) に示して既に説明したように、第 1 スクライブライン L1 に沿って研削することで個片化する。このようにして、同一の構造を有する複数の半導体装置 10 を 1 枚のウェハから製造することができる。

#### 【0195】

以上説明したような、この実施の形態の半導体装置 10 の製造方法によれば、従来公知の W CSP 製造プロセスによって、半導体装置 10 の製造を行う。よって、新たな製造ラインを導入する必要は無く、従来の半導体装置の製造に要するコストと同等のコストで、この実施の形態の半導体装置を製造することができる。

#### 【0196】

この発明の半導体装置の製造方法によれば、各配線構造における各ポスト部、各再配線層、及び各パッドの形成は、同時に行ってもよいし、別々に行ってもよい。また、第 1 及び第 2 外部端子の形成についても、同時に行ってもよいし、それぞれ別々に行ってもよい。

#### 【0197】

##### 【発明の効果】

この発明の半導体装置によれば、第 1 領域と同等のサイズの実装面に複数の第

1 外部端子が配置され、かつ第2領域と同等のサイズの実装面に複数の第2外部端子が配置されている。よって、第1領域及び第2領域のサイズ、すなわち半導体基板の表面サイズが、この発明の半導体装置の実装面サイズと等しくなる。

#### 【0198】

この発明の半導体装置において、第2領域は、実装面サイズが目的とするピン数が達成できるようなサイズとなるように、第1領域に隣接するように設けられている。

#### 【0199】

複数の第1外部端子は、回路素子接続用パッドと、電氣的に、ファンイン方式の複数の第1配線構造によって接続され、かつ複数の第2外部端子は、回路素子接続用パッドと、ファンアウト方式の複数の第2配線構造によって、電氣的に接続されている。

#### 【0200】

従って、この発明の半導体装置によれば、多ピン化を行うにあたり、第1領域と同等のサイズの実装面に第1外部端子を複数個配置するだけでは目的とするピン数を達成するのが困難である場合でも、第2領域に対して第2外部端子を複数個配置することができる。

#### 【0201】

また、この発明の半導体装置によれば、回路素子そのものの設計を変えることなく、この回路素子形成領域である第1領域に対して第2領域を設けることによって、実装面サイズを所望のサイズとすることができる。そして、このようなサイズの実装面に対して、複数の第1及び第2外部端子を、上述したように設けることによって、目的とするピン数を実装面において達成することができ、その結果、多ピン化を実現することができる。

#### 【0202】

また、この発明の半導体装置によれば、実装面サイズを所望のサイズとすることができるため、第1及び第2外部端子、それぞれのピッチを、当該半導体装置を使用するユーザの要望にあわせたピッチとして、多ピン化を実現することもできる。

**【0203】**

さらに、この発明における半導体基板の構成によれば、半導体ウェハに形成された状態であって、かつパッケージングを行う前の状態において、スクライブラインを、半導体基板の、第1領域の外周と第2領域の外周とに対してそれぞれ設けておけば、第1領域の外周に設けられたスクライブラインに沿ってダイシングを行い、第1領域のみ、すなわち回路素子形成領域のみを、半導体ウェハから切り出すこともできる。この場合、切り出された半導体基板の第1領域を含む半導体チップに対して、上述したようなWCSP構造のパッケージ以外のパッケージングを行うことも可能となる。

**【0204】**

第1の実施の形態の半導体装置の構成例によれば、電源又は少なくとも電源に接続される端子又は接地される端子と接続される配線については、第1領域の第1外部端子と接続される構成としてある。

**【0205】**

従って、電極パッドから外部端子に至る配線の長さを極力短くすることができるので、配線の寄生インダクタンスを低減し、半導体装置の誤作動の原因となる電源又はグラウンドバウンスの発生を防止することができる。

**【0206】**

また、第2の実施の形態の半導体の構成例では、第2領域に金属層及びこれに接続される第3配線構造を設けて、外部端子と接続する構成としてあるので、この外部端子をグラウンド（GND）端子とすることで、金属層をグラウンド電位に保つことができる。

**【0207】**

従って、第2領域は、いわゆるマイクロストリップライン構造となるので、この第2領域に形成されている配線を、信号の高速伝送が可能な配線とすることができる。

**【図面の簡単な説明】****【図1】**

第1の実施の形態の半導体装置の構成例を説明するための平面図である。

**【図 2】**

図 1 の I - I 破線に沿って切断した、第 1 の実施の形態の半導体装置の切り口の切断面を示す模式的な断面図である。

**【図 3】**

(A) は、この発明の製造工程における半導体ウェハの構成例を説明するための図であって、(B) は、(A) に示す半導体ウェハの一部を拡大して示した図である。

**【図 4】**

(A) 及び (B) は、この発明の第 1 の実施の形態の半導体装置の製造方法に供する製造工程図（その 1）である。

**【図 5】**

図 4 に続く、この発明の第 1 の実施の形態の半導体装置の製造方法に供する製造工程図（その 2）である。

**【図 6】**

図 5 に続く、この発明の第 1 の実施の形態の半導体装置の製造方法に供する製造工程図（その 3）である。

**【図 7】**

第 2 の実施の形態の半導体装置の構成例を説明するための平面図である。

**【図 8】**

(A) は、図 7 の I - I 破線に沿って切断した、第 2 の実施の形態の半導体装置の切り口の切断面を示す模式的な断面図であり、(B) は、図 7 の半導体装置を I I - I I 破線に沿って切断した切り口を示す模式的な断面図である。

**【図 9】**

(A) 及び (B) は、この発明の第 2 の実施の形態の半導体装置の製造方法に供する製造工程図（その 1）である。

**【図 10】**

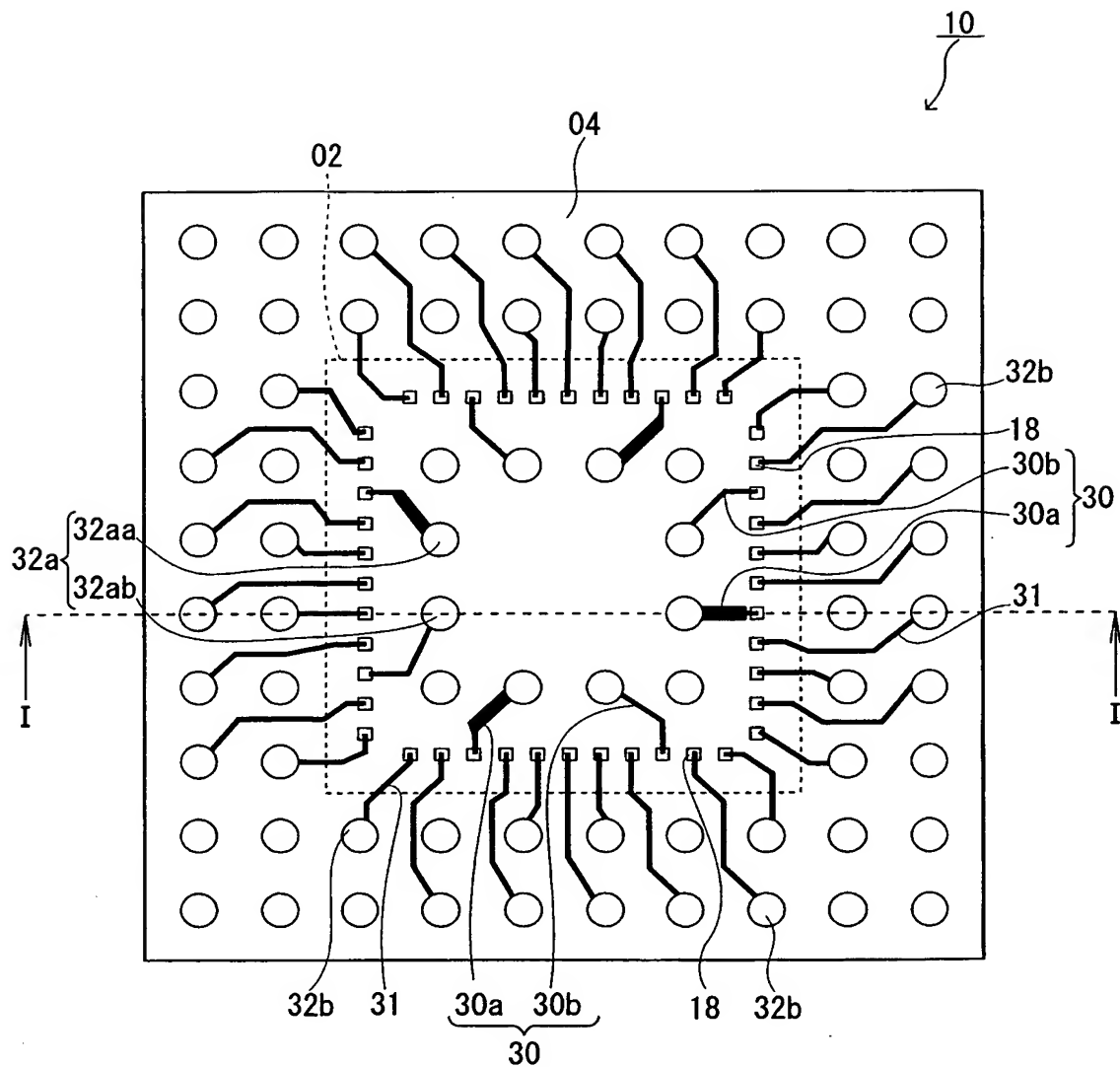
図 9 に続く、この発明の第 2 の実施の形態の半導体装置の製造方法に供する製造工程図（その 2）である。

**【符号の説明】**

0 2 : 第 1 領域  
0 4 : 第 2 領域  
1 0 : 半導体装置  
1 2 : 半導体ウェハ (半導体基板)  
1 4 : 回路素子  
1 4 a : 回路素子の表面  
1 8、1 8 a、1 8 b : 回路素子接続用パッド  
1 9 : 金属層接続用電極パッド  
2 0 : パッシベーション膜  
2 2 : 絶縁膜  
2 4 a : 第 1 再配線層  
2 4 b : 第 2 再配線層  
2 6 a : 第 1 ポスト用パッド  
2 6 b : 第 2 ポスト用パッド  
2 8 a : 第 1 ポスト部  
2 8 b : 第 2 ポスト部  
3 0 : 第 1 配線構造  
3 1 : 第 2 配線構造  
3 2 a : 第 1 外部端子  
3 2 b : 第 2 外部端子  
3 2 a a : 第 1 サブ外部端子  
3 2 a b : 第 2 サブ外部端子  
3 2 b : 第 2 外部端子  
3 3 : 第 3 配線構造  
3 4 : 封止部  
4 0 : 溝部  
6 0 : 開口部

【書類名】 図面

【図 1】



02: 第 1 領域

10: 半導体装置

30: 第 1 配線構造

30b: 第 2 サブ配線構造

32a: 第 1 外部端子

32aa: 第 1 サブ外部端子

04: 第 2 領域

18: 回路素子接続用パッド

30a: 第 1 サブ配線構造

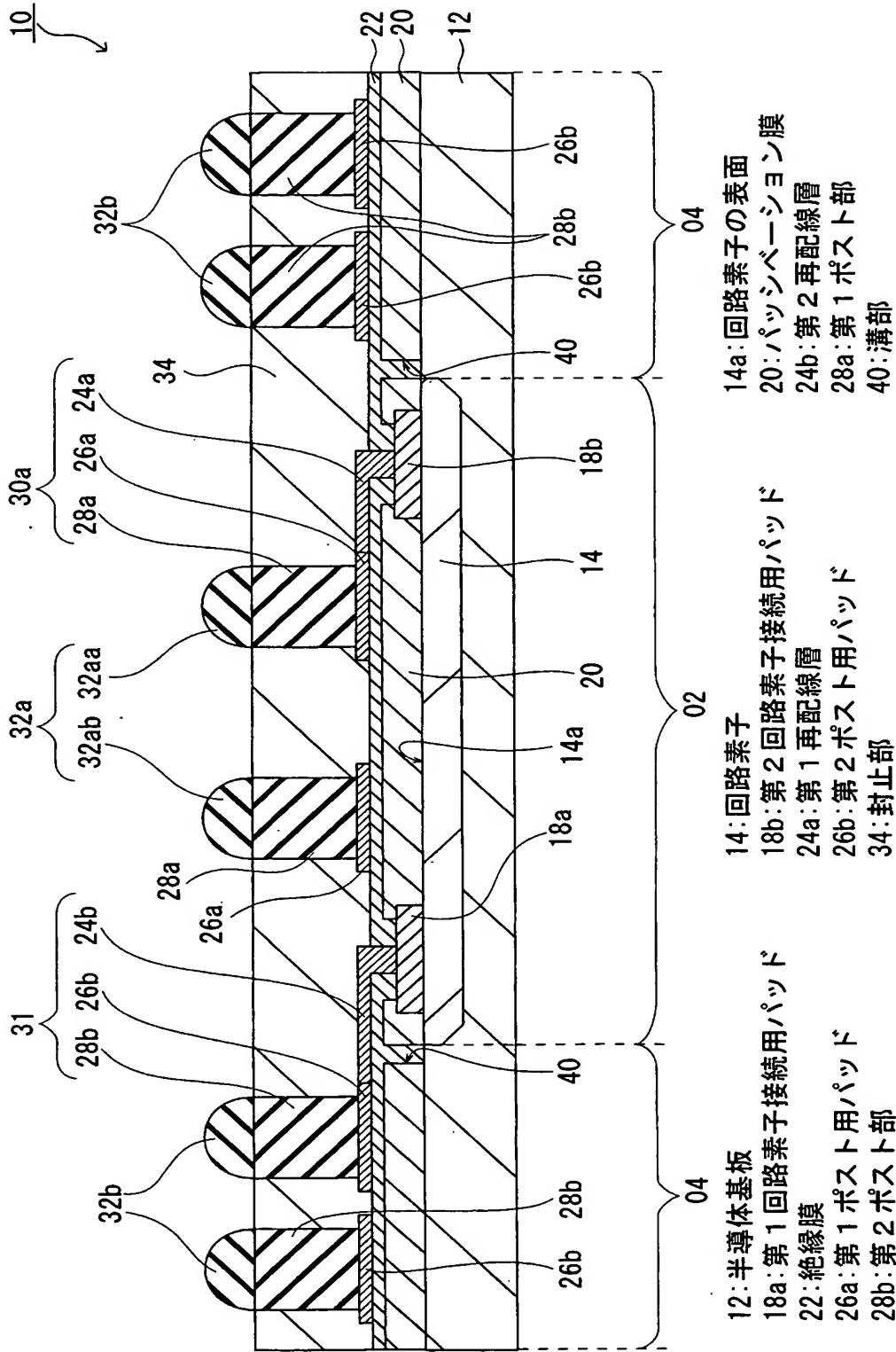
31: 第 2 配線構造

32b: 第 2 外部端子

32ab: 第 2 サブ外部端子

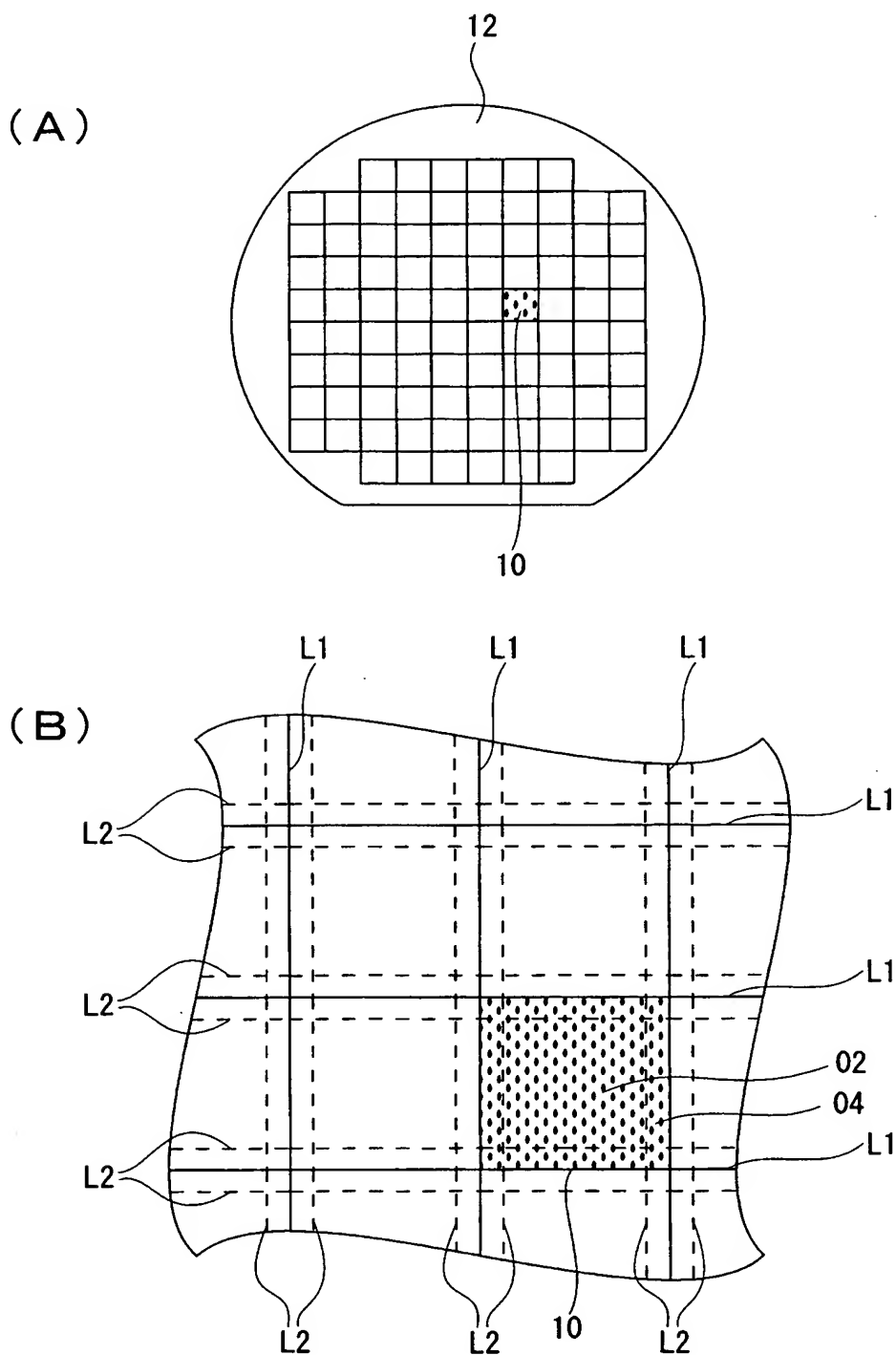
## 第 1 の実施の形態の半導体装置の構成例

【図 2】



第 1 の実施の形態の半導体装置の構成例 (2)

【図 3】

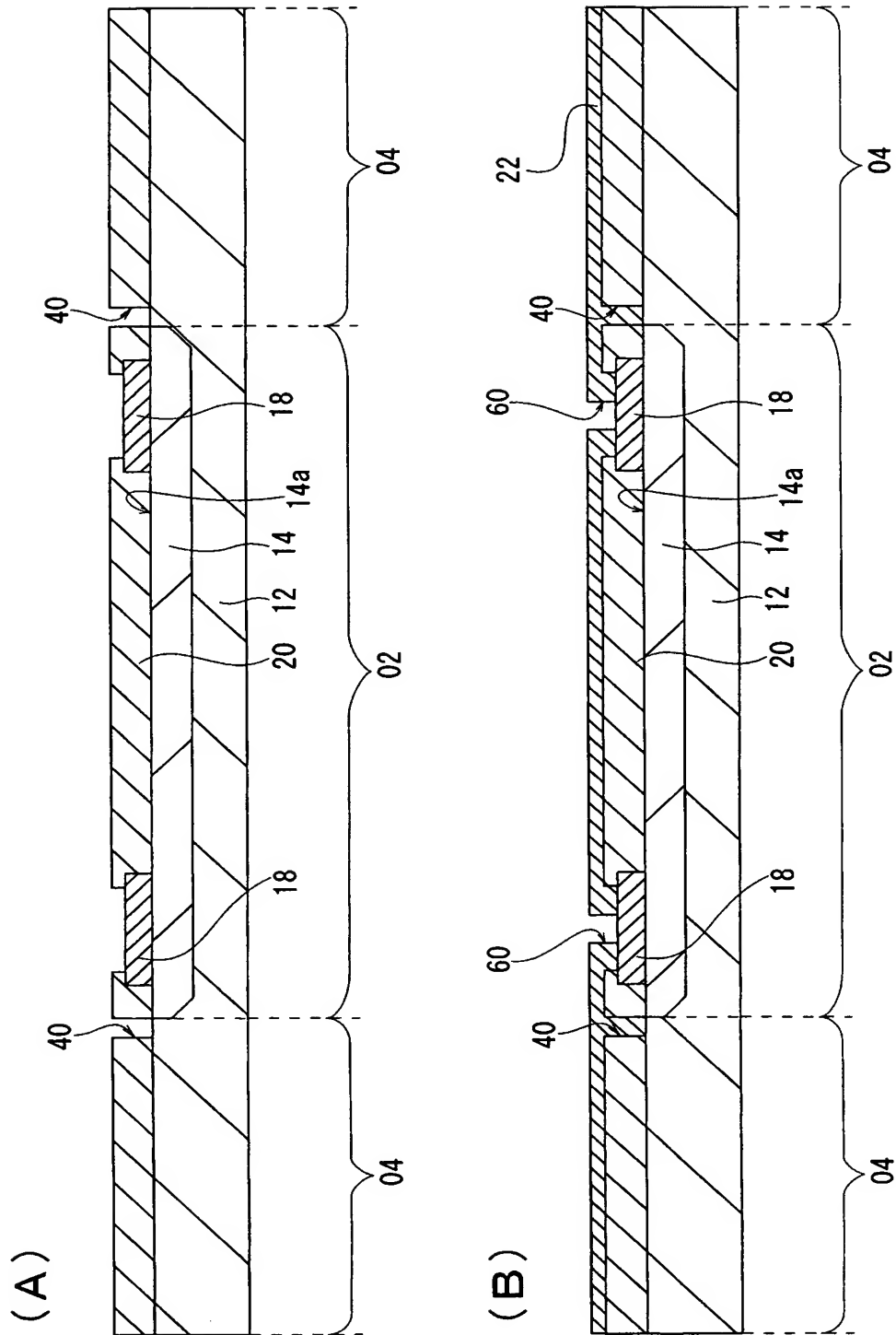


12: 半導体ウェハ

この発明の半導体装置の製造例

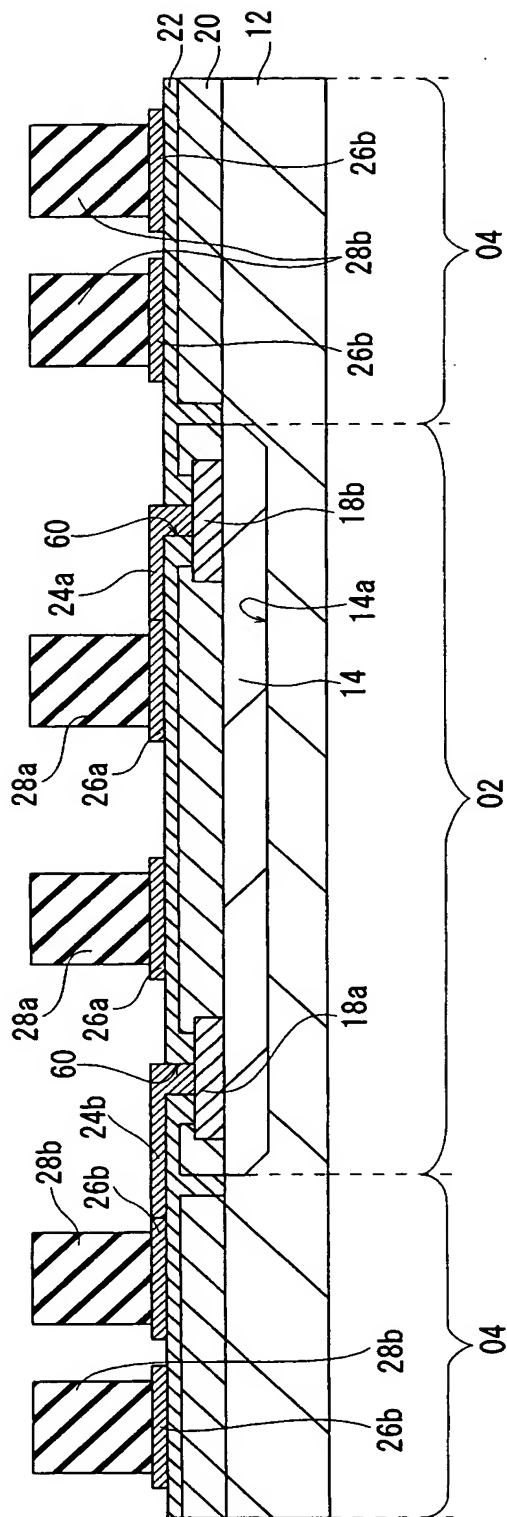


【図 4】



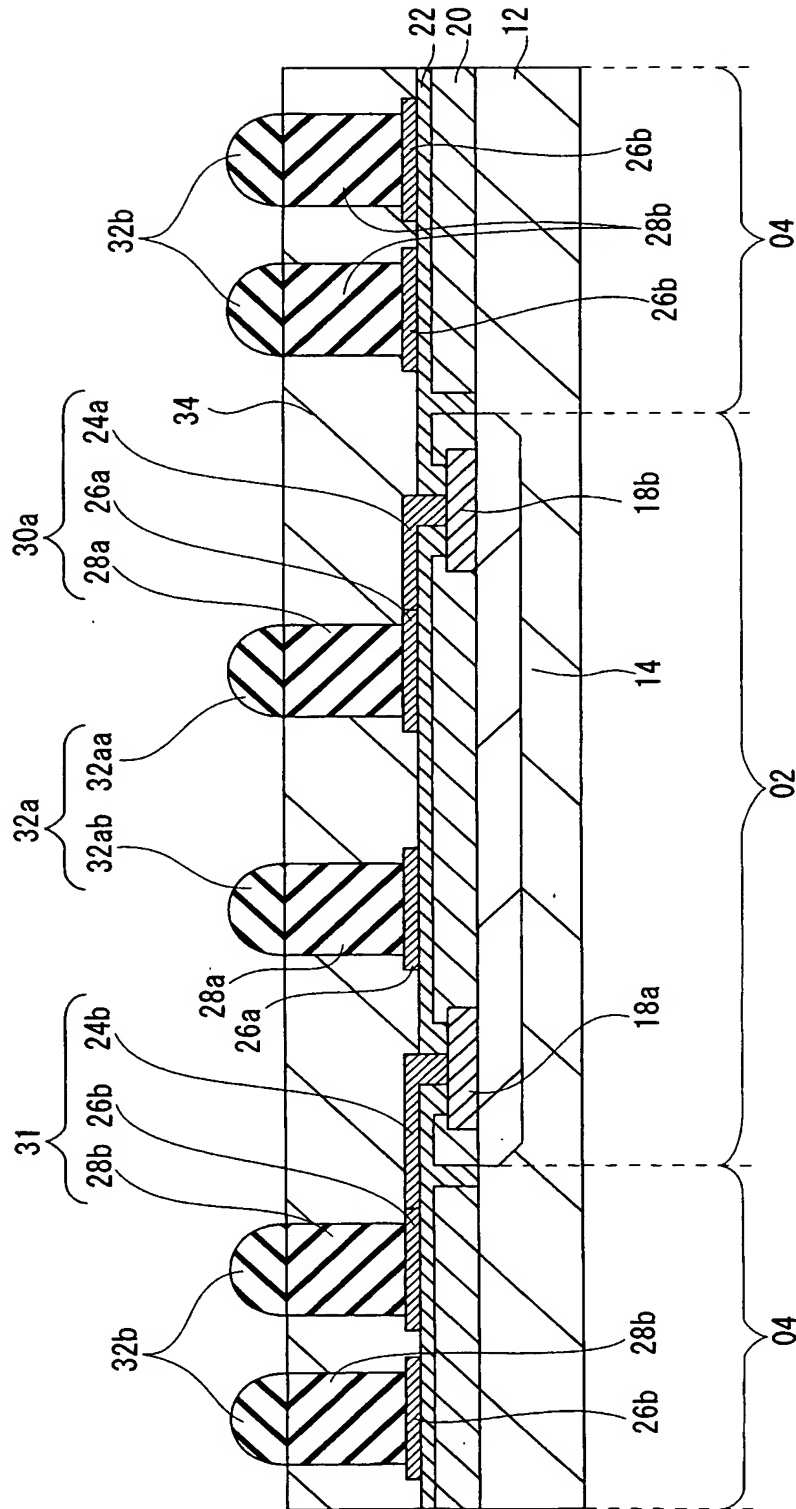
第 1 の実施の形態の製造工程図 (その 1)

【図 5】



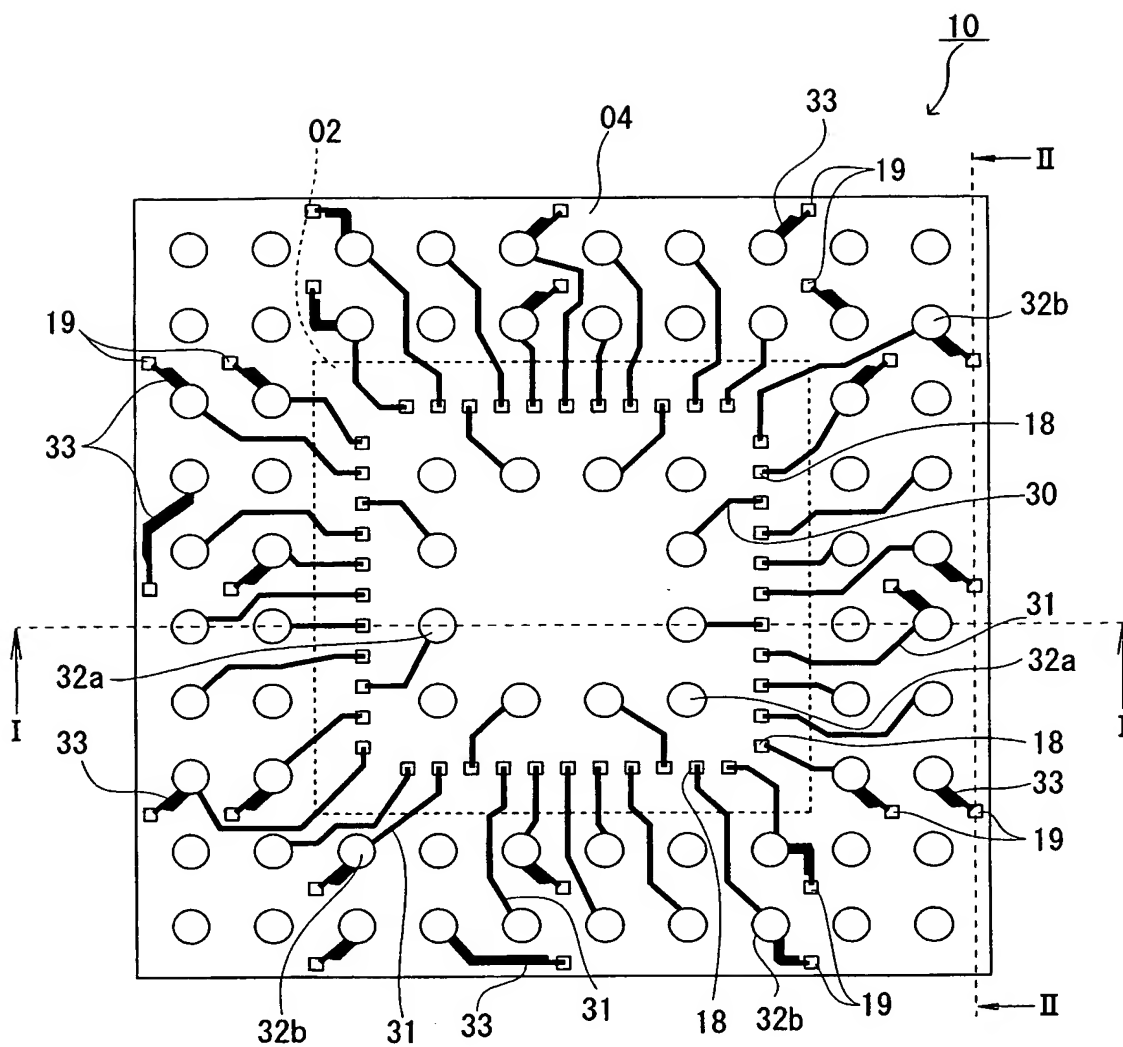
第 1 の実施の形態の製造工程図 (その 2)

【図 6】



第 1 の実施の形態の製造工程図 (その 3)

【図 7】

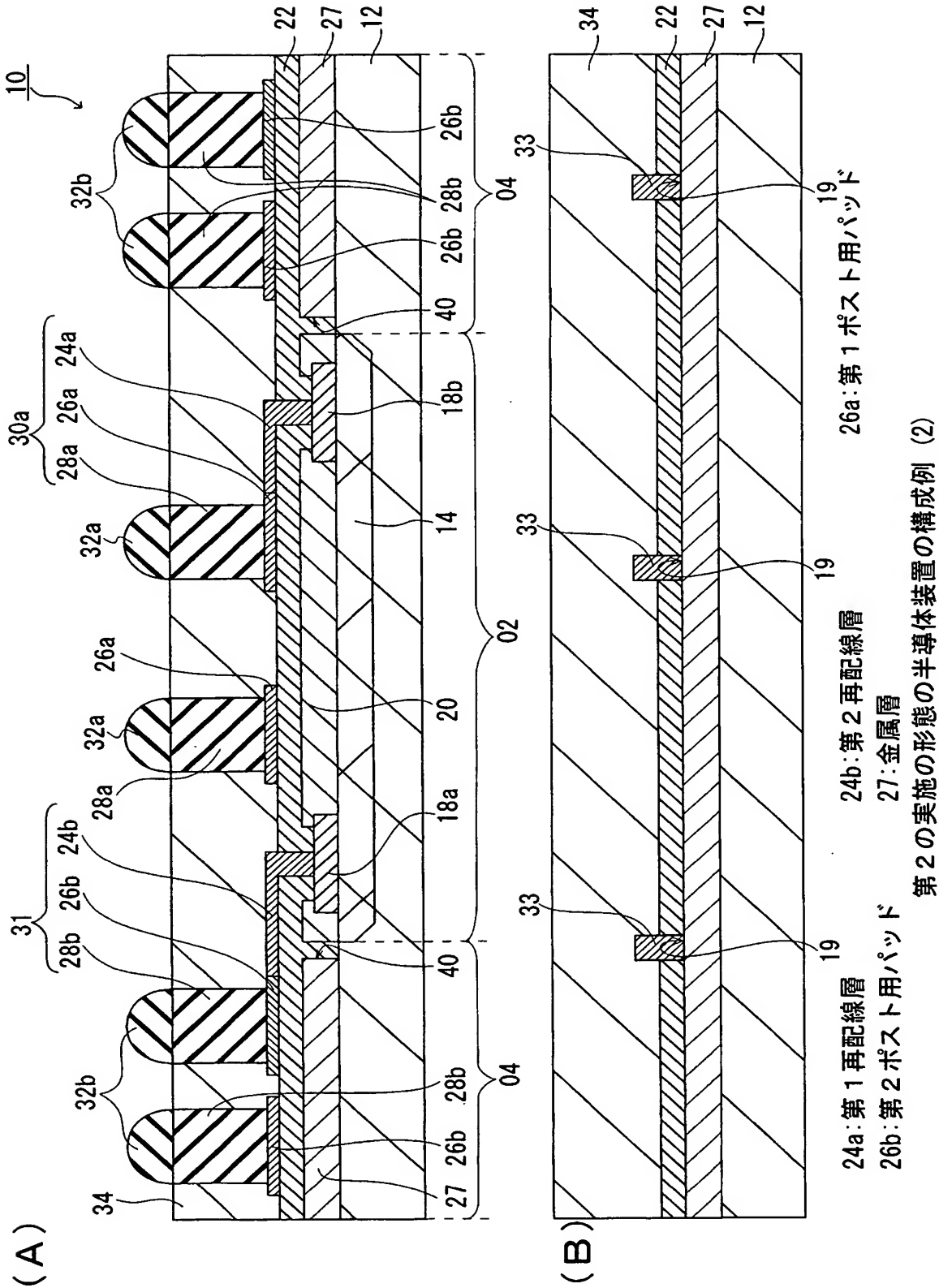


19 : 金属層接続用パッド

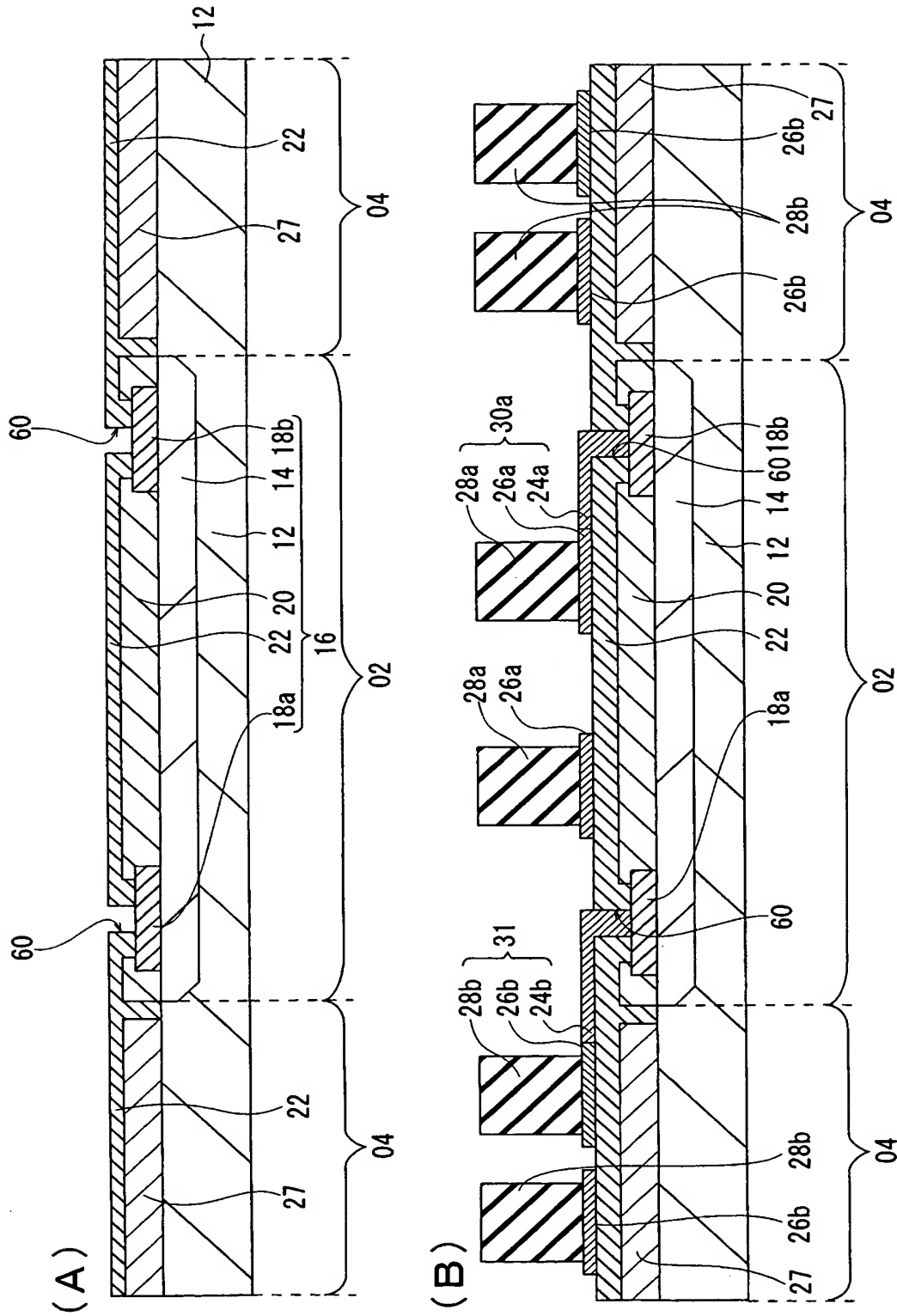
33 : 第 3 配線構造

第 2 の実施の形態の半導体装置の構成例

【図 8】

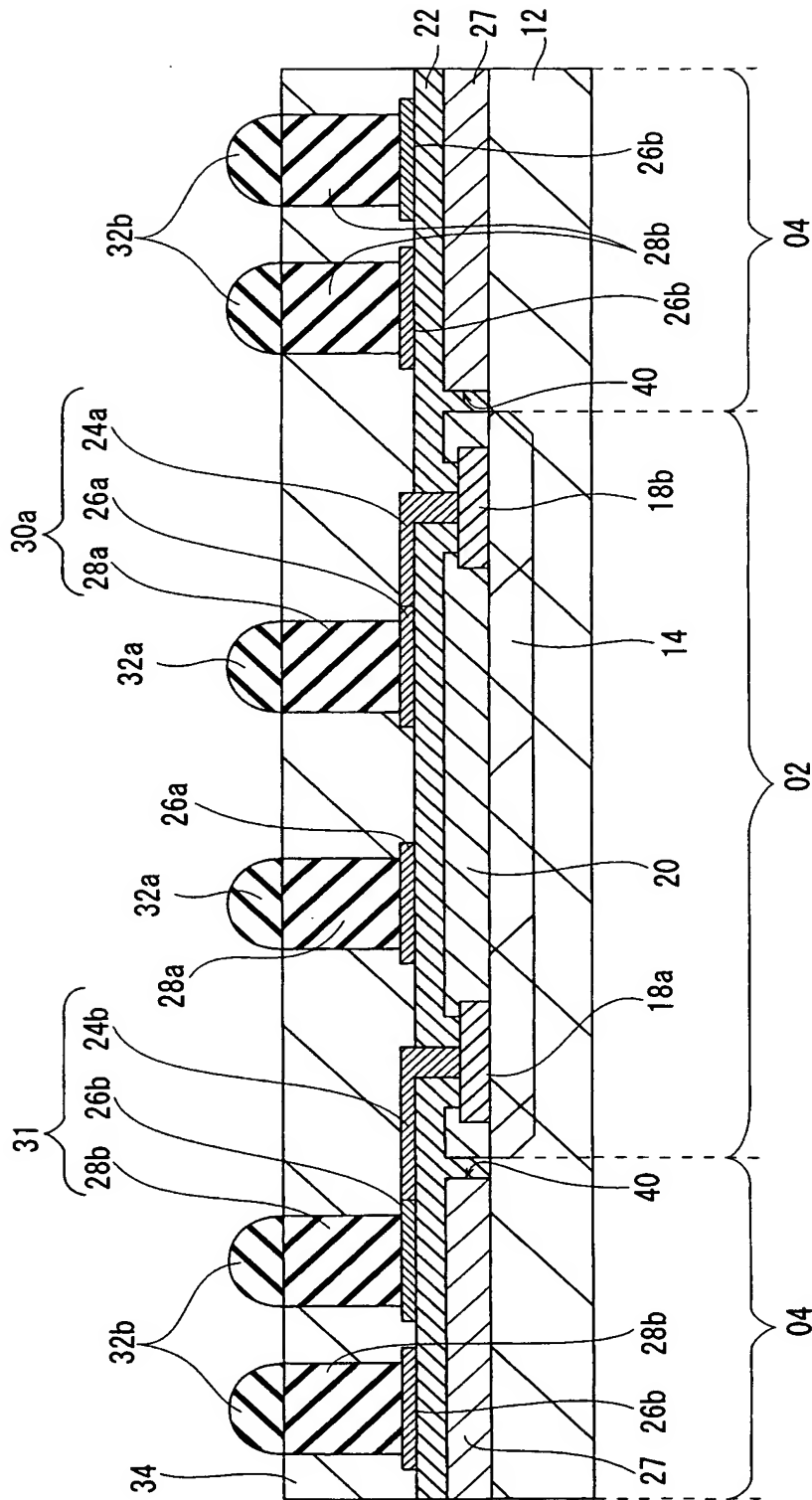


【図 9】



第2の実施の形態の製造工程図(その1)

【図 10】



## 第2の実施の形態の製造工程図（その2）

【書類名】 要約書

【要約】

【課題】 実装面サイズを増加させることによって多ピン化を容易に実現する。

【解決手段】 半導体装置は、第 1 領域 0 2 及び第 2 領域 0 4 を有する半導体基板 1 2 と、第 1 領域に配置されている、複数の第 1 サブ外部端子 3 2 a a と、接地されるべき端子及び電源に接続されるべき端子からなる複数の第 2 サブ外部端子 3 2 a b と、第 2 領域に配置されている複数の第 2 外部端子 3 2 b と、第 1 領域に設けられていて、複数の第 1 サブ外部端子と複数の回路素子接続用パッドとを電気的に接続する第 1 サブ配線構造 3 0 a と、複数の第 2 サブ外部端子と前記複数の回路素子接続用パッドとを電気的に接続する第 2 サブ配線構造 3 0 b と、第 1 領域から第 2 領域上に渡って設けられていて、複数の第 2 外部端子と複数の回路素子接続用パッドとを電気的に接続する、複数の第 2 配線構造 3 1 とを具備している。

【選択図】 図 1



認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 9 3 2 6 1
受付番号	5 0 3 0 1 1 3 0 1 3 8
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 7 月 9 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 7 月 8 日

特願 2 0 0 3 - 1 9 3 2 6 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 0 2 9 5 ]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社